

UNIVERSIDAD DE CONCEPCIÓN

FACULTAD DE INGENIERÍA
DEPARTAMENTO DE INGENIERÍA ELÉCTRICA



Profesor Patrocinante:
Dr. José R. Espinoza C.

Informe de Memoria de Título
para optar al título de:
Ingeniero Civil Electrónico

Desarrollo e Implementación del Inversor Packet U- Cell de 7 Niveles

UNIVERSIDAD DE CONCEPCIÓN
Facultad de Ingeniería
Departamento de Ingeniería Eléctrica

Profesor Patrocinante:
Dr. José R. Espinoza C.

Desarrollo e Implementación del Inversor Packet U-Cell de 7 Niveles

Claudio Manuel Rodríguez Sáez

Informe de Memoria de Título
para optar al Título de

Ingeniero Civil Electrónico

Abril 2018

Resumen

En este trabajo, se realiza el análisis y estudio de la topología de inversor multinivel Packet-U Cell de 7 niveles. Esta topología, es relativamente nueva en comparación a las topologías de inversores multinivel clásicas ya conocidas y estudiadas como NPC, FC y CHB. La topología PUC se compone de celdas en U empaquetadas, en donde cada celda consiste en dos switches de potencia y un bus DC que puede ser una fuente DC o un condensador que debe permanecer a un voltaje fijo. Además, al ser un inversor multinivel, ofrece una mejor calidad en la conversión de la energía, otra característica importante es que se compone de una cantidad pequeña de elementos en comparación a otros inversores, lo que se traduce en un menor costo de fabricación.

En este trabajo se realiza un análisis general enfocado en la estructura y componentes de las distintas topologías de inversor multinivel más conocidas, para así poder hacer un contraste con la topología PUC. Además, se estudia el tipo de modulación PWM más conveniente para poder operar con el inversor PUC. También se analiza y desarrolla una estrategia de control la que tiene como propósito principal el balanceo de voltaje del condensador que actúa como bus DC en el inversor PUC. Además, se realizan las respectivas pruebas mediante la implementación del inversor PUC de 7 niveles en simulación y en laboratorio.

Finalmente, tras el análisis e implementación de la topología estudiada, se obtienen diversos resultados a través de gráficas, que demuestran tanto el correcto funcionamiento de este convertidor, así como la generación de una forma de onda de voltaje de 7 niveles en la salida del inversor Packet-U Cell de 7 niveles a diferencia de un convertidor convencional que solo genera formas de ondas de 2 niveles.



A mis padres, mi hermano y a Franccesca.

Agradecimientos

Primero que todo le agradezco a Dios, le doy gracias a mi amada familia, a mis padres Manuel y Claudia quienes me ayudaron a ser la persona que soy hoy con sus enseñanzas y sus consejos, también le agradezco a mi hermano Ignacio por su apoyo, le doy las gracias a mi amada polola Francesca por haberme apoyado siempre desde que estamos juntos, por animarme con su sonrisa y con sus abrazos en los momentos más difíciles de la etapa universitaria cuando algo salía mal, todos ellos fueron un pilar fundamental en el desarrollo de mi carrera y sin su ayuda todo habría sido mucho más difícil.

También le doy las gracias a mis amigos que pude conocer al estar en la universidad: Omar, Gaspar, Alfredo, Felipe, David, Cristian y Jonathan con los que compartí muchos momentos difíciles de estudio y también muchos momentos de ocio. Como olvidar todos los partidos y campeonatos de futbol, los partidos de pin pon y de PES, todas las salidas a comer y las cervezas que compartimos después de un certamen y sobre todo las tallas que tirábamos en clases y en cualquier momento. Gracias a su ayuda la universidad se hizo más fácil no solo porque tuve con quien estudiar, sino por todos los momentos divertidos que pasamos y que siempre me subían el ánimo.

Le agradezco a mi profesor guía, José Espinoza, por haberme dado la oportunidad de trabajar con él, y por toda la ayuda y consejos que me brindo durante el desarrollo de mi memoria de título, quien a pesar de haber tenido un año con mucho trabajo siempre se dio el tiempo para contestar las dudas que yo tenía. También le doy las gracias a los compañeros del L.C.D.A. los que varias veces me ayudaron cuando les preguntaba algo relacionado a los equipos del laboratorio o de lo que fuera.

Le agradezco al señor Hani Vahedi, quien trabajo en el desarrollo de varios papers relacionados con el inversor PUC y que me ayudo amablemente en algunas dudas que tuve en su momento sobre el funcionamiento de este.

Este trabajo fue posible gracias a la ayuda del Gobierno Chileno bajo los proyectos: CONICYT /FONDEQUIP/EQM140148, CONICYT/FONDECYT/1181839, CONICYT/FONDECYT/1160969, CONICYT/FONDAP/15110019, y Newton Picarte Project EPSRC: EP/N004043/1: New Configurations of Power Converters for Grid Interconnection Systems/CONICYT DPI20140007.

Tabla de Contenidos

LISTA DE TABLAS	VIII
LISTA DE FIGURAS	IX
NOMENCLATURA.....	XI
ABREVIACIONES.....	XIV
CAPÍTULO 1. INTRODUCCIÓN	1
1.1. INTRODUCCIÓN GENERAL.....	1
1.2. TRABAJOS PREVIOS	2
1.2.1 <i>Convertidores Multinivel</i>	2
1.2.2 <i>Modulación</i>	3
1.2.3 <i>Simulación y Experimentación</i>	4
1.3. DISCUSIÓN	6
1.4. HIPÓTESIS DE TRABAJO	6
1.5. OBJETIVOS	6
1.5.1 <i>Objetivo General</i>	6
1.5.2 <i>Objetivos Específicos</i>	6
1.6. ALCANCES Y LIMITACIONES	7
1.7. TEMARIO Y METODOLOGÍA	7
CAPÍTULO 2. INVERSORES MULTINIVEL.....	8
2.1. INTRODUCCIÓN	8
2.2. INVERSORES MULTINIVEL	8
2.2.1 <i>Inversor Neutral Point Clamped NPC</i>	10
2.2.2 <i>Inversor Flying Capacitor FC</i>	11
2.2.3 <i>Inversor Cascade H-Brigde CHB</i>	12
2.3. CONCLUSIONES	13
CAPÍTULO 3. MODELO INVERSOR PACKET U-CELL DE 7 NIVELES.....	14
3.1. INTRODUCCIÓN	14
3.2. MODELO INVERSOR PACKET U-CELL DE 7 NIVELES	14
3.2.1 <i>Estructura</i>	14
3.2.2 <i>Funcionamiento</i>	15
3.2.3 <i>Ecuaciones</i>	19
3.3. CONCLUSIONES	22
CAPÍTULO 4. MODULACIÓN.....	23
4.1. INTRODUCCIÓN	23
4.2. MODULACIÓN PWM	23
4.3. MODULACIÓN MULTICARRIER MCSPWM.....	24
4.4. LEVEL SHIFTED PWM (LS-PWM).....	25
4.4.1 <i>Phase Disposition (PD)</i>	26
4.4.2 <i>Phase Opposition Disposition (POD)</i>	27
4.4.3 <i>Alternative Phase Opposition Disposition (APOD)</i>	28
4.5. PHASE SHIFTED PWM (PS-PWM)	29
4.6. CONCLUSIONES	30
CAPÍTULO 5. SIMULACIÓN EN LAZO ABIERTO.....	31
5.1. INTRODUCCIÓN	31
5.2. VALORES	31
5.3. CÁLCULOS	32
5.4. SIMULACIÓN DEL CIRCUITO DEL INVERSOR	37
5.5. SIMULACIÓN DE LA MODULACIÓN DEL INVERSOR	39

5.6.	FUNCIONAMIENTO DE LA SIMULACIÓN	41
5.7.	RESULTADOS DE LA SIMULACIÓN	48
5.7.1	<i>Phase Disposition (PD)</i>	48
5.7.2	<i>Phase Opposition Disposition (POD)</i>	50
5.7.3	<i>Alternative Phase Opposition Disposition (APOD)</i>	52
5.8.	CONCLUSIONES	55
CAPÍTULO 6. DESARROLLO DEL CONTROL.....		57
6.1.	INTRODUCCIÓN	57
6.2.	ANÁLISIS PREVIO	57
6.3.	LAZOS DE CONTROL.....	58
6.4.	CONCLUSIONES	65
CAPÍTULO 7. SIMULACIÓN EN LAZO CERRADO		66
7.1.	INTRODUCCIÓN	66
7.2.	CÁLCULO DEL CONDENSADOR.....	66
7.3.	SIMULACIÓN DEL CIRCUITO DEL INVERSOR	68
7.4.	SIMULACIÓN DE LA MODULACIÓN DEL INVERSOR	69
7.5.	SIMULACIÓN DEL CONTROL DEL INVERSOR	71
7.6.	RESULTADOS DE LA SIMULACIÓN	72
7.7.	CONCLUSIONES	76
CAPÍTULO 8. IMPLEMENTACIÓN EN LABORATORIO.....		77
8.1.	INTRODUCCIÓN	77
8.2.	EQUIPOS Y COMPONENTES	77
8.3.	ARMADO.....	81
8.4.	RESULTADOS DE LA IMPLEMENTACIÓN	81
8.5.	CONCLUSIONES	85
CAPÍTULO 9. COMPARACIÓN ENTRE TOPOLOGÍAS MULTINIVEL DE 7 NIVELES.....		86
9.1.	INTRODUCCIÓN	86
9.2.	ESTRUCTURAS DE LAS TOPOLOGÍAS DE INVERSORES PARA 7 NIVELES	86
9.3.	CONCLUSIONES	90
CAPÍTULO 10. CONCLUSIONES		91
10.1.	SUMARIO	91
10.2.	CONCLUSIONES	92
10.3.	TRABAJO FUTURO	92
BIBLIOGRAFÍA		93
ANEXO A. CURVA CARACTERÍSTICA PANEL SOLAR.....		96
ANEXO B. CÓDIGO C		97
B.1.	PROGRAMACIÓN SECUENCIAS DE SWITCHEO	97
B.2.	PROGRAMACIÓN DSP TI F28335.....	99

Lista de Tablas

TABLA 2.1 Comparación del Cálculo de Elementos entre Topologías de Inversor de 7 Niveles	13
TABLA 3.1 Tabla con Estados de Conmutación	16
TABLA 5.1 Valores de los Componentes del Inversor	31
TABLA 5.2 Programación de la Tabla de Switcheo	46
TABLA 5.3 THD de la i_0 para las Distintas Modulaciones Usadas.....	55
TABLA 7.1 Valores del Condensador y sus Parámetros.....	67
TABLA 9.1 Comparación del Número de Elementos entre Topologías de Inversor de 7 Niveles.....	90



Lista de Figuras

Fig. 2.1 Forma de Onda de Voltaje de 2 Niveles de un Inversor Convencional.....	8
Fig. 2.2 Forma de Onda de Voltaje de 7 Niveles de un Inversor Multinivel	9
Fig. 2.3 Inversor NPC de 3 Niveles	10
Fig. 2.4 Inversor FC de 3 Niveles	11
Fig. 2.5 Inversor CHB de 3 Niveles	12
Fig. 3.1 Estructura Inversor PUC de 7 Niveles	12
Fig. 3.2 Estado 1 (V_1)	17
Fig. 3.3 Estado 2 (V_1-V_2)	17
Fig. 3.4 Estado 3 (V_2)	17
Fig. 3.5 Estado 4 (0)	17
Fig. 3.6 Estado 5 (0)	18
Fig. 3.7 Estado 6 ($-V_2$)	18
Fig. 3.8 Estado 7 (V_2-V_1)	18
Fig. 3.9 Estado 8 ($-V_1$)	18
Fig. 3.10 Forma de Onda del Voltaje de Salida del Inversor con sus Estados	19
Fig. 4.1 Modulación PWM [5]	24
Fig. 4.2 Modulación MCSPWM con 4 Portadoras [6]	25
Fig. 4.3 Modulación LS-PWM Phase Disposition con 4 Portadoras	26
Fig. 4.4 Modulación LS-PWM Phase Opposition Disposition con 4 Portadoras	27
Fig. 4.5 Modulación LS-PWM Alternative Phase Opposition Disposition con 4 Portadoras	28
Fig. 4.6 Modulación PS-PWM con 4 Portadoras	29
Fig. 5.1 Circuito del Inversor Implementado en PSIM	38
Fig. 5.2 Modulación del Inversor Implementada en PSIM	40
Fig. 5.3 Comparación entre la Moduladora y las Portadoras	41
Fig. 5.4 Señales Obtenidas de la Comparación	42
Fig. 5.5 Señales Modificadas Obtenidas de la Comparación	43
Fig. 5.6 Señales Obtenidas de la Comparación entre la Moduladora y Cero	44
Fig. 5.7 Señales Obtenidas de la Multiplicación entre Señales	45
Fig. 5.8 Señal Generada de la Suma de las Señales Obtenidas de las Multiplicaciones	46
Fig. 5.9 Señales de Switcheo del Inversor	47
Fig. 5.10 Gráficos del Inversor para la modulación LS-PWM PD	48
Fig. 5.11 Gráficos de la Carga para la modulación LS-PWM PD	49
Fig. 5.12 Gráficos del Inversor para la modulación LS-PWM POD	50
Fig. 5.13 Gráficos de la Carga para la modulación LS-PWM POD	51
Fig. 5.14 Gráficos del Inversor para la modulación LS-PWM APOD	52
Fig. 5.15 Gráficos de la Carga para la modulación LS-PWM APOD	53
Fig. 5.16 Gráficos de las Corrientes que pasan por las Fuentes V_1 y V_2	54
Fig. 6.1 Función de Transferencia del Controlador PI para la Variable V_2	59
Fig. 6.2 Función de Transferencia del Inversor para la Variable V_2	60
Fig. 6.3 Función de Transferencia del Controlador PI para la Variable i_0	62
Fig. 6.4 Función de Transferencia del Inversor para la Variable i_0	63
Fig. 6.5 Diagrama en Bloques del Control en Cascada para el Inversor PUC	63
Fig. 6.6 Implementación del Control en Cascada para el Inversor PUC	64
Fig. 7.1 Circuito del Inversor con Control Implementado en PSIM	69
Fig. 7.2 Modulación del Inversor con Control Implementada en PSIM	70

Fig. 7.3 Control del Inversor Implementado en PSIM.....	71
Fig. 7.4 Gráficos del Inversor para la Implementación con Control.....	72
Fig. 7.5 Gráficos de la Carga para la Implementación con Control.....	73
Fig. 7.6 Señales a Controlar en la Implementación con Control.....	74
Fig. 7.7 Zoom de las Señales a Controlar en la Implementación con Control.....	75
Fig. 8.1 DSP TI F28335 de Texas Instruments.....	77
Fig. 8.2 Pierna Inversor de Voltaje fabricada en el LCDA.....	78
Fig. 8.3 Conversor de Señales Ópticas fabricado en el LCDA.....	78
Fig. 8.4 Fuente Voltaje Mastech HY3005.....	79
Fig. 8.5 Inductor.....	79
Fig. 8.6 Reóstato.....	80
Fig. 8.7 Set-Up del Inversor PUC de 7 Niveles Implementado en Laboratorio.....	80
Fig. 8.8 Señales de Switcheo S_a y S'_a	81
Fig. 8.9 Señales de Switcheo S_b y S'_b	82
Fig. 8.10 Señales de Switcheo S_c y S'_c	82
Fig. 8.11 Señal de Voltaje en la Carga.....	83
Fig. 8.12 Zoom de la Señal de Voltaje en la Carga.....	83
Fig. 8.13 Señal de Voltaje de la Resistencia en la Carga.....	84
Fig. 8.14 Zoom de la Señal de Voltaje de la Resistencia en la Carga.....	84
Fig. 9.1 Inversor PUC de 7 Niveles.....	86
Fig. 9.2 Inversor NPC de 7 Niveles.....	87
Fig. 9.3 Inversor FC de 7 Niveles.....	88
Fig. 9.4 Inversor CHB de 7 Niveles.....	89
Fig. A.1 Modelo Celda Solar.....	96
Fig. A.2 Curva Característica I-V de una Celda Solar.....	96



Nomenclatura

Escalares

V_1	: Voltaje fuente 1.
V_2	: Voltaje fuente 2.
E	: Nivel de voltaje.
V_0	: Voltaje en la carga del inversor.
S_a	: Switch a .
S_b	: Switch b .
S_c	: Switch c .
S'_a	: Switch a complementario.
S'_b	: Switch b complementario.
S'_c	: Switch c complementario.
S_i	: Función de conmutación para $i = a, b, c$.
V_{ab}	: Voltaje entre a y b .
V_{bc}	: Voltaje entre b y c .
V_{cd}	: Voltaje entre c y d .
V_{ad}	: Voltaje de salida del inversor.
i_1	: Corriente switch S_a .
i_2	: Corriente switch S_b .
i_3	: Corriente switch S_c .
i_{dc}	: Corriente DC.
i_0	: Corriente en la carga del inversor.
i_c	: Corriente en el condensador.
d_1	: Ciclo de trabajo para switch S_a .
d_2	: Ciclo de trabajo para switch S_b .
d_3	: Ciclo de trabajo para switch S_c .
C	: Condensador controlado a un voltaje fijo.
R	: Resistencia en la carga.
L	: Inductancia en la carga.
L_T	: Inductancia total en la carga.
R_f	: Resistencia de filtro.
L_f	: Inductancia de filtro.
x_1	: Variable de estado i_0 .
x_2	: Variable de estado V_2 .
f_m	: Frecuencia de la moduladora.
f_p	: Frecuencia de la portadora.
f_c	: Frecuencia de corte.
A_m	: Amplitud de la moduladora.
A_p	: Amplitud de la portadora.
P_{0rms}	: Potencia activa de salida rms.
FP	: Factor de potencia.
V_{0rms}	: Voltaje de salida rms.
I_{0rms}	: Corriente de salida rms.
m_a	: Índice de modulación.
Z	: Impedancia total en la carga.



X_L	: Impedancia total del inductor en la carga.
X_{Lf}	: Impedancia del inductor del filtro.
Φ	: Phi.
m	: Numero de niveles.
NP	: Numero de portadoras.
u_v	: Señal equivalente para ecuación de estado de la variable V_2 .
u_i	: Señal equivalente para ecuación de estado de la variable i_0 .
d_v	: Variable que depende de S_b y S_c .
d_i	: Variable que depende de S_a , S_b y S_c .
k_{pv}	: Ganancia proporcional del lazo de voltaje.
k_{iv}	: Ganancia integral del lazo de voltaje.
k_{pi}	: Ganancia proporcional del lazo de corriente.
k_{ii}	: Ganancia integral del lazo de corriente.
\tilde{V}_2	: Señal de error del voltaje V_2 .
V_2^*	: Referencia del voltaje V_2 .
\tilde{i}_0	: Señal de error de la corriente i_0 .
i_0^*	: Referencia de la corriente i_0 .
G_v	: Función de transferencia para el controlador de voltaje.
G_i	: Función de transferencia para el controlador de corriente.
s	: Variable compleja del plano de Laplace.
V_c	: Voltaje en el condensador.
T	: Periodo.
T_p	: Periodo de la portadora.
I_{0peak}	: Corriente de salida peak.
V_{dc}	: Voltaje fuente dc.
n	: Neutro.
C_1	: Condensador 1 de bus dc.
C_2	: Condensador 2 de bus dc.
C_3	: Condensador 3 de bus dc.
C_4	: Condensador 4 de bus dc.
C_5	: Condensador 5 de bus dc.
C_6	: Condensador 6 de bus dc.
S_1	: Switch 1.
S_2	: Switch 2.
S_3	: Switch 3.
S_4	: Switch 4.
S_5	: Switch 5.
S_6	: Switch 6.
S'_1	: Switch 1 complementario.
S'_2	: Switch 2 complementario.
S'_3	: Switch 3 complementario.
S'_4	: Switch 4 complementario.
S'_5	: Switch 5 complementario.
S'_6	: Switch 6 complementario.
V_{ref}	: Referencia de voltaje.
i_{ref}	: Referencia de corriente.
i_{PV}	: Corriente generada por la incidencia de la luz.



i_D	: Corriente que pasa por el diodo del modelo de la celda solar.
i_{SH}	: Corriente que pasa por la resistencia R_{SH} .
R_S	: Resistencia que representa las perdidas por material de la celda solar.
R_{SH}	: Resistencia que representa las perdidas por corte en la celda solar.
i	: Corriente a la salida del modelo de la celda solar.
V	: Voltaje a la salida del modelo de la celda solar.
i_{Sat}	: Corriente de saturación de polarización inversa del diodo de la celda solar.
A	: Factor de idealidad del diodo.
V_T	: Tensión térmica de un módulo fotovoltaico.



Abreviaciones

Mayúsculas

FC	: Flying Capacitor (Inversor).
CHB	: Cascaded H-Bridge (Inversor).
NPC	: Neutral Point Clamped (Inversor).
PUC	: Packet U-Cell (Inversor).
PWM	: Pulse Width Modulation.
SPWM	: Sinusoidal Pulse Width Modulation.
SVM	: Space Vector Modulation.
MCPWM	: Multi Carrier Pulse Width Modulation.
MCSPWM	: Multi Carrier Sinusoidal Pulse Width Modulation.
MPC	: Model Predictive Control.
DC	: Direct Current.
AC	: Alternating Current.
RL	: Resistor–Inductor Load.
PV	: Photovoltaic (Celda Solar).
IGBT	: Insulated Gate Bipolar Transistor.
LVK	: Ley Voltaje Kirchhoff.
LCK	: Ley Corriente Kirchhoff.
LS-PWM	: Level Shifted PWM.
PS-PWM	: Phase Shifted PWM.
PD	: Phase Disposition.
POD	: Phase Opposition Disposition.
APOD	: Alternative Phase Opposition Disposition.
PSIM	: Powersim (Software for Power Electronics Simulation).
C	: Lenguaje de Programación.
THD	: Total Harmonic Distortion.
PI	: Proportional-Integral (Control).
DSP	: Digital Signal Processor.



Capítulo 1. Introducción

1.1. Introducción General

En la actualidad, las fuentes de energías limpias y renovables están tomando una importancia cada vez mayor en la producción energética mundial, debido a que algunas de estas son de naturaleza no contaminante y requieren un menor mantenimiento. La energía fotovoltaica es una de estas fuentes de energía renovable, esta es producida gracias a celdas solares que captan y convierten la energía de radiación solar en energía eléctrica continua.

En el caso de las granjas solares, en donde hay instalada una gran cantidad de paneles solares para así producir una mayor cantidad de energía eléctrica, se requiere el uso de inversores para poder convertir la energía eléctrica de tipo continua, en alterna y así esta sea suministrada a la red.

Las topologías de inversores convencionales que son las mayormente utilizadas, traen consigo varios inconvenientes como un voltaje de salida poco sinusoidal y con alto contenido de distorsión armónica, además de tener muchas pérdidas por conmutación. Es por este motivo que se han estado estudiando nuevas topologías de inversores multinivel, los que proporcionan un voltaje de salida de varios niveles, en donde mientras mayor sea el número de niveles, se tendrá una señal con menos contenido armónico y por ende una señal mucho más sinusoidal.

A pesar de las ventajas mencionadas, los inversores multinivel también presentan inconvenientes como un mayor costo y una mayor dificultad para ser implementados, problemas que van en aumento a medida que se incrementan los niveles de la forma de onda de salida.

Teniendo en cuenta estas problemáticas en el uso de estos convertidores de potencia, es que nace el interés en el desarrollo de nuevas topologías de inversores multinivel que sean más eficientes y confiables que los utilizados actualmente. En específico, la topología que se busca analizar y modelar en este trabajo es la del inversor multinivel Packet U-Cell de 7 niveles, la que hace uso de solo una fuente DC, un solo condensador y solo 6 switches, características que lo hacen un convertidor mucho más económico en cuanto a componentes, en comparación con otras topologías de convertidores multinivel que utilizan un número mucho mayor de estos, ya sea de fuentes, condensadores o switches.

1.2. Trabajos Previos

En esta sección se realiza una revisión a los diversos trabajos relacionados con el tema a tratar que fueron más utilizados durante el desarrollo de este informe. Primero se revisan estudios relacionados con el tema de los convertidores multinivel para así poder tener una visión más completa de estos. Luego se hace una investigación de algunos trabajos relacionados con la modulación PWM muy usada en convertidores multinivel. Finalmente se revisan trabajos relacionados con la nueva topología de interés que se estudiará y probará en este proyecto.

1.2.1 Convertidores Multinivel

- ♣ P. Qashqai, A. Sheikholeslami, H. Vahedi and K. Al-Haddad, "A Review on Multilevel Converter Topologies for Electric Transportation Applications," *2015 IEEE Vehicle Power and Propulsion Conference (VPPC)*, Montreal, QC, 2015, pp. 1-6. [1]

En este trabajo se hace una revisión de algunas de las topologías de convertidores multinivel más conocidas, dentro de estos están los inversores Flying Capacitors (FC) y los Cascaded H-Bridge (CHB), se investigan las técnicas de modulación más usadas en estos convertidores multinivel: Pulse Width Modulation (PWM) y Space Vector Modulation (SVM). También se realiza una comparación entre varias formas de onda de inversores convencionales con las de un inversor multinivel. Se hace énfasis en las muchas ventajas que tienen los convertidores multinivel como la generación de formas de onda de bajo contenido armónico y una baja tensión en modo común.

- ♣ L. G. Franquelo, J. Rodriguez, J. I. Leon, S. Kouro, R. Portillo and M. A. M. Prats, "The age of multilevel converters arrives," in *IEEE Industrial Electronics Magazine*, vol. 2, no. 2, pp. 28-39, June 2008. [2]

Este trabajo hace una revisión y un análisis de las características más importantes de los convertidores estáticos multinivel, mostrando las muchas ventajas que estos tienen con respecto a los convertidores clásicos de 2 niveles. También se hace énfasis en las muchas aplicaciones en que los convertidores multinivel pueden ser utilizados incluyendo importantes áreas como la energía. Se hace una comparación entre algunas topologías de convertidores multinivel entre las cuales están las NPC, FC y CHB analizando aspectos como los componentes requeridos, la dificultad de implementación y la tolerancia a fallas entre otros. Además, se realiza una comparación entre los múltiples métodos de modulación que pueden ser aplicados a los convertidores multinivel haciendo énfasis en los más

utilizados PWM y SVM.

- ♣ K. K. Gupta, A. Ranjan, P. Bhatnagar, L. K. Sahu and S. Jain, "Multilevel Inverter Topologies With Reduced Device Count: A Review," in *IEEE Transactions on Power Electronics*, vol. 31, no. 1, pp. 135-151, Jan. 2016. [3]

En este trabajo se revisan y analizan algunas de las topologías de inversor multinivel propuestas recientemente y que presentan un número reducido de switches. También se realiza una comparación detallada entre estas haciendo énfasis en las ventajas y desventajas que cada una posee. Entre estas se encuentra la topología de interés, el inversor multinivel PUC (Packet U-Cell).

1.2.2 Modulación

- ♣ Anuja Namboodiri, Harshal S. Wani. "Unipolar and Bipolar PWM Inverter", *International Journal for Innovative Research in Science & Technology*, Volume 1, Issue 7, pp. 237-243, December 2014. [4]

En este trabajo se presenta el funcionamiento de un inversor haciendo uso de una de las estrategias de modulación más utilizadas para inversores, la de SPWM en su versión unipolar y bipolar, en esta modulación se compara una señal de referencia sinusoidal que es la que se quiere obtener como salida del inversor y una señal portadora, con esta comparación se van obteniendo los pulsos que posteriormente son enviados a los switch del inversor. Esta técnica de modulación es la base para poder comprender la técnica de PWM Multicarrier que es la que utilizara para hacer la modulación del inversor multinivel PUC (Packet U-Cell).

- ♣ M.S.Rajan, R.Seyezhai, "Comparative Study -of Multicarrier PWM Techniques for a Modular Multilevel Inverter", *International Journal of Engineering and Technology (IJET)*, Vol 5, No. 6, Dec 2013-Jan 2014, pp. 4850-4865. [5]

En este trabajo se propone el uso de la estrategia de modulación Multi Carrier Pulse Width Modulation (MCPWM), un método basado en la estrategia PWM que hace uso de múltiples señales portadoras, se observan y analizan algunos casos de la técnica MCPWM en donde se va variando la disposición de las fases de las portadoras donde posteriormente se realizan pruebas de los distintos tipos de modulación multicarrier en un inversor multinivel para poder hacer un estudio comparativo en cuanto al contenido armónico y a la calidad de las formas de onda que se obtienen a través de estos.

- ♣ V. G. Agelidis and M. Calais, "Application specific harmonic performance evaluation of multicarrier PWM techniques," *PESC 98 Record. 29th Annual IEEE Power Electronics Specialists Conference (Cat. No.98CH36196)*, Fukuoka, 1998, pp. 172-178 vol.1. [6]

En este trabajo se abordan variadas técnicas de modulación con múltiple portadora PWM las que tienen la capacidad para generar formas de onda de salida para convertidores multinivel. Se visualizan características de interés en este tipo de estrategia y se analiza su rendimiento en lo que respecta a la distorsión armónica para los variados casos en que esta modulación puede variar al ir modificando la fase de las portadoras que la componen.

1.2.3 Simulación y Experimentación

- ♣ Y. Ounejjar, K. Al-Haddad and L. A. Gregoire, "Packed U Cells Multilevel Converter Topology: Theoretical Study and Experimental Validation," in *IEEE Transactions on Industrial Electronics*, vol. 58, no. 4, pp. 1294-1306, April 2011. [7]

En este trabajo se presenta una nueva topología de inversor multinivel monofásico, el Packet U-Cell (PUC) el cual se compone de Celdas U compactadas, en donde cada Celda U dispone de 2 switch y de un condensador. Este convertidor combina algunos aspectos del convertidor FC y del convertidor CHB. A diferencia de otros convertidores multinivel, este ofrece una conversión de energía eléctrica con un menor número de switch, condensadores y fuentes lo que lo convierte en un conversor muy rentable económicamente hablando. Este convertidor para poder operar, necesita de una fuente de tensión DC y además que el condensador que compone las Celdas U se mantenga siempre a un mismo nivel de voltaje, por lo que este debe ser controlado con alguna estrategia de control. En el trabajo se revisa la operación y el modelo de este convertidor. Además, se realiza un estudio comparativo con otros convertidores multinivel para comprobar sus ventajas respecto a estos. También se analiza su funcionamiento mediante simulación y verificación experimental.

- ♣ H. Vahedi, K. Al-Haddad and H. Y. Kanaan, "A new voltage balancing controller applied on 7-level PUC inverter," *IECON 2014 - 40th Annual Conference of the IEEE Industrial Electronics Society*, Dallas, TX, 2014, pp. 5082-5087. [8]

En este trabajo se desarrolla el inversor PUC para 7 niveles en la salida, aquí se utiliza una estrategia de controlador de balanceo de tensión que se encarga de mantener el condensador del bus dc a un nivel deseado. Se revisa la operación y el modelo del inversor PUC de 7 niveles. También se

aplica la técnica de modulación de PWM multicarrier para la generación de los pulsos que son enviados a los 6 switch. Finalmente se mide el rendimiento de este inversor con este tipo de controlador de voltaje mediante simulaciones en distintas condiciones que incluyen variaciones de carga y tención.

- ♣ H. Vahedi and K. Al-Haddad, "Real-Time Implementation of a Seven-Level Packed U-Cell Inverter with a Low-Switching-Frequency Voltage Regulator," in *IEEE Transactions on Power Electronics*, vol. 31, no. 8, pp. 5967-5973, Aug. 2016. [9]

En este trabajo se desarrolla el inversor PUC para 7 niveles en la salida, en esta ocasión se utiliza una estrategia de controlador no lineal en cascada que se basa en un lazo externo para controlar el voltaje del condensador y en un lazo interno de control de corriente, el que regula la corriente y también se encarga de ayudar en la carga y descarga del condensador. Se revisa la operación y el modelo del inversor PUC de 7 niveles. Además, se aplica la técnica de modulación de PWM Multicarrier para la generación de los pulsos que son enviados a los 6 switch del convertidor. En la parte final se verifica el desempeño de este inversor con este tipo de controlador no lineal mediante simulaciones y pruebas experimentales para distintas condiciones de carga.

- ♣ J. I. Metri, H. Vahedi, H. Y. Kanaan and K. Al-Haddad, "Real-Time Implementation of Model-Predictive Control on Seven-Level Packed U-Cell Inverter," in *IEEE Transactions on Industrial Electronics*, vol. 63, no. 7, pp. 4180-4186, July 2016. [10]

En este trabajo se propone el diseño e implementación de una estrategia de control predictivo (MPC) para la operación del inversor PUC para 7 niveles, este controlador se encargará de regular el voltaje del condensador a una tensión deseada para así generar los 7 niveles a la salida del convertidor. Además, en este diseño se considera que el inversor ira conectado a la red por lo que el control predictivo debe considerar el suministro de potencia activa y reactiva en el punto de acoplamiento común. Finalmente se comprueba el funcionamiento del inversor y el comportamiento dinámico del controlador predictivo, a través de pruebas experimentales mediante un prototipo de laboratorio en donde se hacen variaciones del voltaje de la fuente DC y cambios en el factor de potencia.

1.3. **Discusión**

Considerando los recientes trabajos que se revisaron anteriormente en la bibliografía [7], [8], [9] y [10], se puede ver que la topología de inversor PUC de 7 niveles ofrece características muy interesantes que representan un posible beneficio; por ejemplo, para las aplicaciones de sistemas PV.

Al ser relativamente una topología nueva, hasta el momento son pocos los trabajos en donde se han realizado pruebas que ayuden a demostrar la superioridad de este inversor multinivel por sobre otros como los utilizados en el área de la energía solar.

En este trabajo se propone seguir experimentando y realizando pruebas que ayuden a comprobar el funcionamiento de este inversor.

1.4. **Hipótesis de Trabajo**

Es factible implementar la topología de convertidor estático multinivel, el inversor Packet U-Cell de 7 niveles en combinación con una técnica de modulación y de esta forma obtener una solución de convertidor más económica en cuanto a componentes para aplicaciones variadas como paneles solares con respecto a los inversores utilizados actualmente y con la menor distorsión posible en los voltajes AC.



1.5. **Objetivos**

1.5.1 **Objetivo General**

Desarrollar, simular e implementar una topología de convertidor estático basada en el inversor multinivel Packet U-Cell de 7 niveles para de esta forma comprobar su funcionamiento y compararlo con topologías equivalentes convencionales.

1.5.2 **Objetivos Específicos**

- Realizar un estudio sobre las características y la operación del inversor PUC de 7 niveles.
- Estudiar e implementar la técnica de modulación SPWM con múltiple portadora para la realización del control de los switches de la topología con la que se trabajara.
- Estudiar e implementar una estrategia de control para poder operar el condensador de bus DC del convertidor a un voltaje constante.
- Evaluar el funcionamiento del inversor PUC de 7 niveles mediante pruebas en simulación y laboratorio.

1.6. Alcances y Limitaciones

- La modulación del convertidor será del tipo SPWM con múltiple portadora.
- El desarrollo del control para el funcionamiento de la topología solo se probará en simulación.
- La carga utilizada en la simulación y la implementación del convertidor será de tipo RL, esta no ira conectada a la red.
- Las pruebas de laboratorio se realizarán mediante la implementación del circuito que será construido con los componentes disponibles en el Laboratorio de Control Digital Aplicado del DIE de la Universidad de Concepción.

1.7. Temario y Metodología

El desarrollo del inversor Packet U-cell de 7 niveles se hará mediante la herramienta de simulación de circuitos PSIM. Aquí se implementará el modelo del inversor PUC de 7 niveles visto en los trabajos [7], [8], [9] y [10] con su respectiva modulación analizada en los trabajos [5] y [6].



Capítulo 2. Inversores Multinivel

2.1. Introducción

En este apartado se presenta de forma general el concepto de inversor multinivel y se realiza un análisis de las topologías más conocidas y estudiadas, haciendo énfasis en la estructura de estas y el cálculo de sus componentes, así como una breve explicación acerca de su funcionamiento.

2.2. Inversores Multinivel

El inversor [19], es un convertidor estático utilizado en la transformación de energía eléctrica de tipo continua (DC) en energía eléctrica de tipo alterna (AC). Estos convertidores se caracterizan por generar una forma de onda alterna en su salida a una amplitud y frecuencia determinada.

El inversor multinivel es un tipo de inversor [1-3], [11,12] el cual tiene la característica de generar una señal de salida ya sea de voltaje o de corriente con una mayor cantidad de niveles en comparación a los inversores convencionales que producen dos niveles. Además de esto, los inversores multinivel se caracterizan por utilizar un mayor número de fuentes de alimentación, condensadores, diodos y dispositivos semiconductores dependiendo de la forma que tenga la topología, gracias a esto pueden soportar rangos de voltaje más altos ya que este se reparte entre más dispositivos.

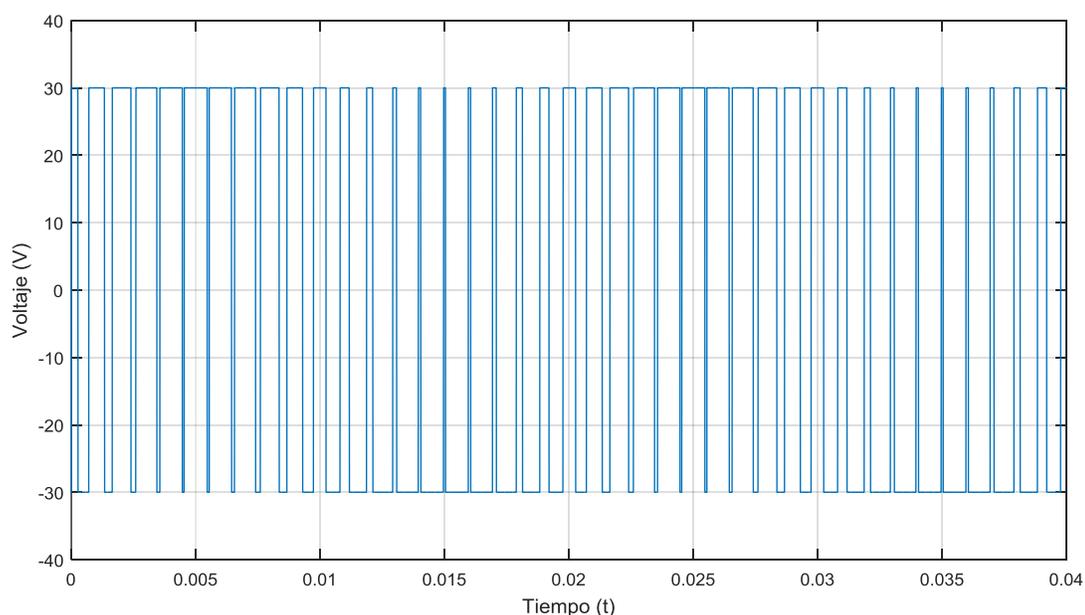


Fig. 2.1 Forma de Onda de Voltaje de 2 Niveles de un Inversor Convencional

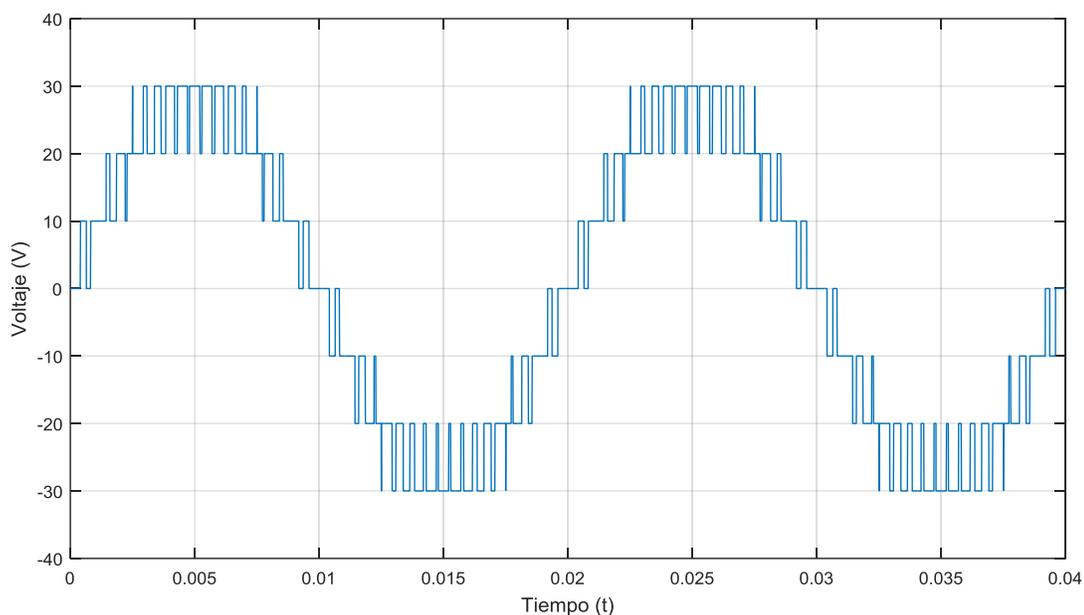


Fig. 2.2 Forma de Onda de Voltaje de 7 Niveles de un Inversor Multinivel

En las Fig. 2.1., y Fig. 2.2., se pueden apreciar las formas de onda de un inversor convencional de 2 niveles y de un inversor multinivel de 7 niveles respectivamente.

Dentro de las ventajas que poseen este tipo de convertidores se tiene que [19]:

- Tienen un bajo contenido armónico en el voltaje de salida.
- Son más eficientes que los convertidores convencionales de 2 niveles
- Proporcionan factores de potencias más elevados.

Entre los inversores multinivel más conocidos se encuentran, el inversor de Punto Neutro Fijo NPC (Neutral Point Clamped), el inversor de Condensadores Flotantes FC (Flying Capacitor) y el inversor Puente H en Cascada CHB (Cascade H-Brigde), a estos convertidores también se les suele denominar los convertidores multinivel clásicos, ya que han sido los más estudiados y los que tienen mayor fama en esta área.

A continuación, se describen las características más importantes de las topologías de inversor multinivel mencionadas anteriormente:

2.2.1 Inversor Neutral Point Clamped NPC

El inversor de Punto Neutro Fijo NPC (Neutral Point Clamped) también conocido como inversor con Diodo Fijador (Diode Clamped) [19], es una topología de inversor multinivel que se compone de condensadores en serie que actúan como bus DC los que van conectados a una fuente de alimentación DC, aquí el voltaje de la fuente se reparte de manera equitativa en los condensadores mencionados. Estos condensadores sirven para generar los diversos niveles con ayuda de los múltiples switches que componen este inversor, además entre estos condensadores se encuentran dispuestos diodos de fijación los que se encargan de bloquear el voltaje que proporcionan los condensadores.

El número de los elementos asociados a este inversor depende del número de niveles de voltaje que se quiere obtener representados como m . Esta topología requiere de $(m - 1)$ condensadores de bus DC, $(m - 1)(m - 2)$ diodos de fijación y $2(m - 1)$ switches.

En la Fig. 2.3., se puede ver la estructura de un inversor NPC de 3 Niveles.

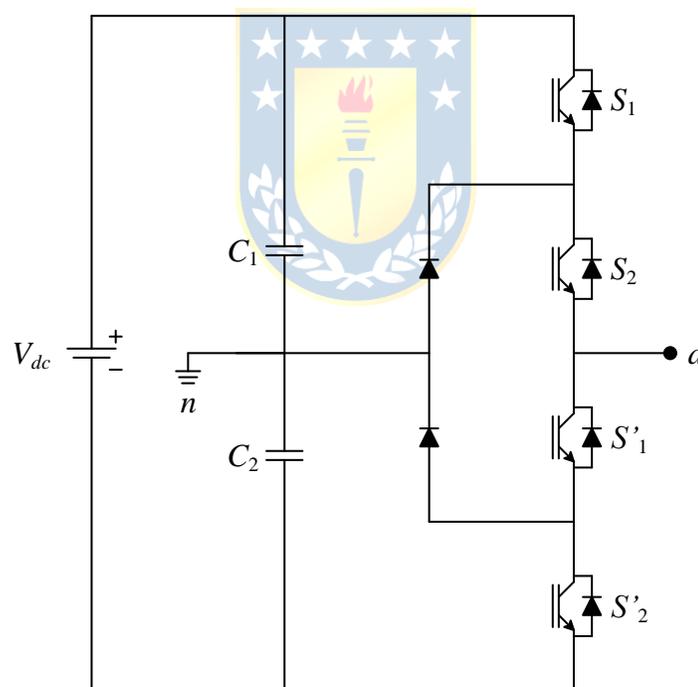


Fig. 2.3 Inversor NPC de 3 Niveles

2.2.2 Inversor Flying Capacitor FC

El inversor de Condensadores Flotantes FC (Flying Capacitor) también conocido como inversor con Condensador Fijador (Capacitor Clamped) [19], es una topología de inversor multinivel que al igual que la topología NPC, se compone de condensadores en serie que actúan como bus DC conectados a una fuente de alimentación DC, y en donde el voltaje de la fuente se reparte de manera equitativa en estos condensadores. Pero a diferencia del NPC el inversor FC utiliza condensadores de fijación en lugar de diodos de fijación para mantener los valores de los voltajes en los condensadores de alimentación a valores deseados.

El número de los elementos asociados a este inversor depende del número de niveles de voltaje que se quiere obtener representados como m . Esta topología requiere de $(m - 1)$ condensadores de bus DC, $(m - 1)(m - 2)/2$ condensadores de fijación y $2(m - 1)$ switches.

En la figura 2.4 se puede ver la estructura de un inversor FC de 3 Niveles.

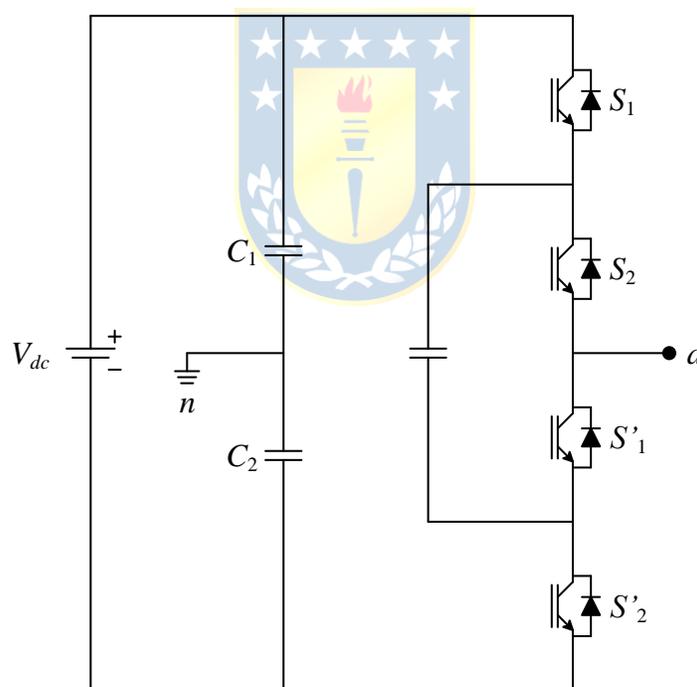


Fig. 2.4 Inversor FC de 3 Niveles

2.2.3 Inversor Cascade H-Bridge CHB

El inversor Puente H en Cascada CHB (Cascade H-Bridge) [19], es una topología de inversor multinivel que se encuentra formada por varios inversores monofásicos de puente completo conectados en serie, cada uno de estos inversores cuenta con una fuente de alimentación continua separada, logrando de esta forma generar un voltaje de salida con varios niveles. Este inversor a diferencia de los inversores NPC y FC mencionados anteriormente, no necesita elementos como diodos y condensadores para regular el voltaje.

El número de los elementos asociados a este inversor depende del número de niveles de voltaje que se quiere obtener representados como m . Esta topología requiere de $(m - 1)/2$ fuentes de alimentación DC separadas y $2(m - 1)$ switches.

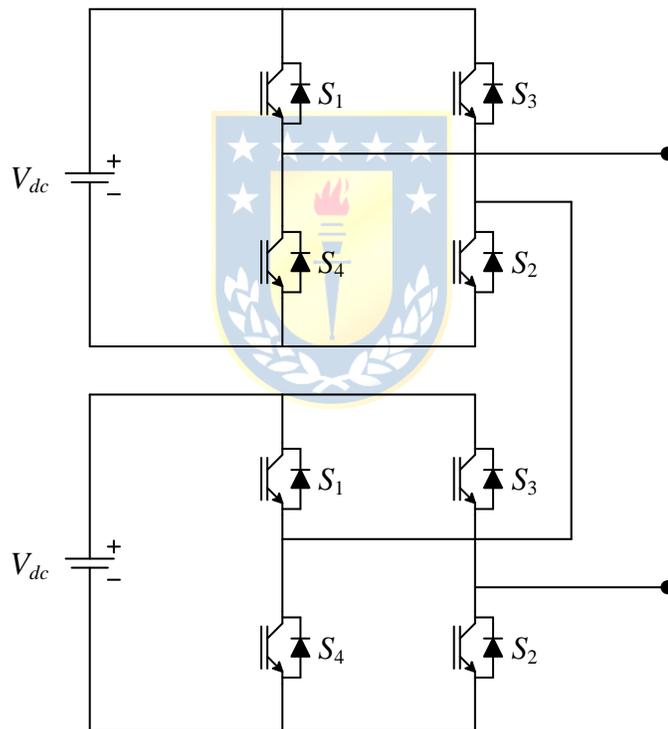


Fig. 2.5 Inversor CHB de 3 Niveles

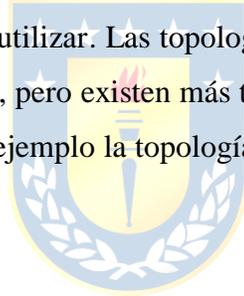
TABLA 2.1 Comparación del Cálculo de Elementos entre Topologías de Inversor de 7 Niveles.

Topología	Fuentes Bus DC	Condensadores Bus DC	Switches	Diodos de Fijación	Condensadores de Fijación
NPC m Niveles	1	$(m - 1)$	$2(m - 1)$	$(m - 1)(m - 2)$	0
FC m Niveles	1	$(m - 1)$	$2(m - 1)$	0	$(m - 1)(m - 2)/2$
CHB m Niveles	$(m - 1)/2$	0	$2(m - 1)$	0	0

2.3. Conclusiones

Como se pudo ver en este capítulo, las topologías de inversor multinivel poseen variadas ventajas a favor al ser comparadas con las topologías convencionales de 2 niveles, a cambio eso si de un mayor número en el uso de componentes, lo que también las hace más costosas, pero que puede resultar beneficioso a la hora de querer obtener formas de onda de mejor calidad.

También se pudo observar que existen múltiples formas de generar una señal de onda multinivel, según el tipo de topología a utilizar. Las topologías mencionadas en este capítulo son las más conocidas y estudiadas en esta área, pero existen más topologías de inversor multinivel que son variaciones de estas mismas, como por ejemplo la topología de inversor multinivel PUC, que se está estudiando en este trabajo.



Capítulo 3. Modelo Inversor Packet U-Cell de 7 niveles

3.1. Introducción

En este capítulo se analiza el inversor Packet U-Cell [7-10], [15-18] de 7 niveles, primero se realiza una revisión de la estructura mencionando los componentes que utiliza esta topología, luego se explica el funcionamiento de la topología haciendo énfasis en los estados de conmutación que se deben tener en cuenta y finalmente se hace un análisis del modelo del inversor a partir de las ecuaciones obtenidas de este.

3.2. Modelo Inversor Packet U-Cell de 7 niveles

3.2.1 Estructura

La topología de convertidor multinivel con la que se trabaja en este proyecto corresponde al inversor multinivel Packet U-Cell de 7 niveles [7-10], su estructura general se puede ver en la Fig. 3.1., se puede notar que este convertidor es de tipo monofásico y que presenta una fuente de voltaje DC V_1 y un condensador V_2 a la entrada, los que cuentan con distintos voltajes fijos para así poder producir la forma de onda multinivel en la salida, el dispositivo almacenador de energía se utiliza para reducir el número de fuentes necesarias para poder hacer funcionar el convertidor, ya que hace la función de segunda fuente de voltaje, pero para esto el condensador necesita de algún tipo de control para poder mantener un voltaje fijo y balanceado.

También se puede ver que este convertidor cuenta con 6 switches de tipo IGBT los que son necesarios para obtener la forma de onda de salida del inversor. Además, se puede ver que se presenta un filtro de tipo RL en la salida del convertidor.

En cuanto al cálculo del número de los elementos asociados al inversor, este depende del número de niveles de voltaje que se quiere obtener representados como m . Esta topología requiere de $\log_2(m+1) - 1$ elementos de bus DC y $\log_2(m+1) \cdot 2$ switches.

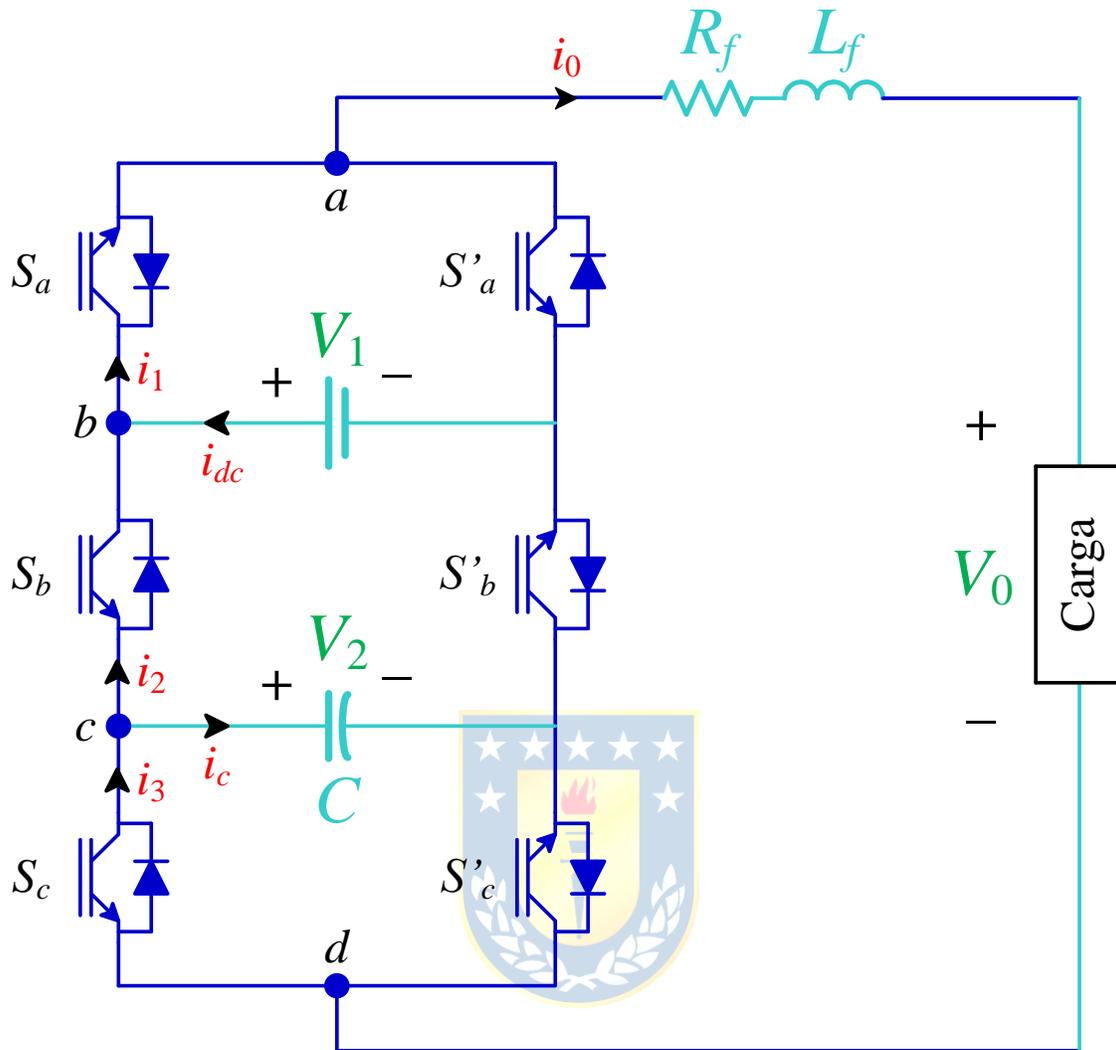


Fig. 3.1 Estructura Inversor PUC de 7 Niveles

3.2.2 Funcionamiento

Las amplitudes de los voltajes proporcionados por las fuentes DC, V_1 y V_2 , contribuyen a la formación de los niveles que tendrá la señal de voltaje en la salida del convertidor. Si se utiliza una relación entre las fuentes de voltaje de $V_2 = V_1/3 = E$, se puede obtener una forma de onda de tensión en la salida de 7 niveles, en donde estos niveles corresponden a $0, \pm E, \pm 2E, \pm 3E$.

Para la formación de estos niveles se requieren 8 estados de conmutación, los que se enumeran en la tabla 3.1, estos 8 estados de conmutación se pueden lograr con la utilización de los 6 switches disponibles en el inversor.

TABLA 3.1 Tabla con Estados de Conmutación.

Estados	S_a	S_b	S_c	V_{ad}	V_{ad} (Valor)
1	1	0	0	V_1	$+3E$
2	1	0	1	$V_1 - V_2$	$+2E$
3	1	1	0	V_2	$+E$
4	1	1	1	0	0
5	0	0	0	0	0
6	0	0	1	$-V_2$	$-E$
7	0	1	0	$V_2 - V_1$	$-2E$
8	0	1	1	$-V_1$	$-3E$

El inversor cuenta con 2 piernas, en donde cada pierna tiene un número de 3 switches. La primera pierna contiene los switches S_a , S_b , y S_c , la segunda pierna contiene los switches S'_a , S'_b , y S'_c , los que funcionan de forma complementaria con los switch de la primera pierna, es decir, si un switch de la primera pierna esta encendido como podría ser el switch S_a , su complementario de la segunda pierna que vendría a ser el switch S'_a se debe encontrar apagado.

Desde la Fig. 3.2. hasta la Fig. 3.9., se puede ver el funcionamiento del convertidor operando a los 8 distintos estados que se pueden formar al ir cambiando la conmutación de los switch.

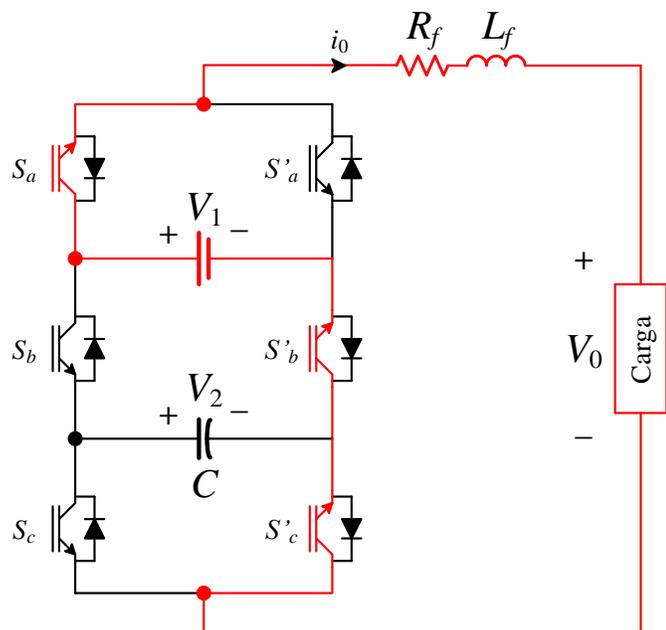
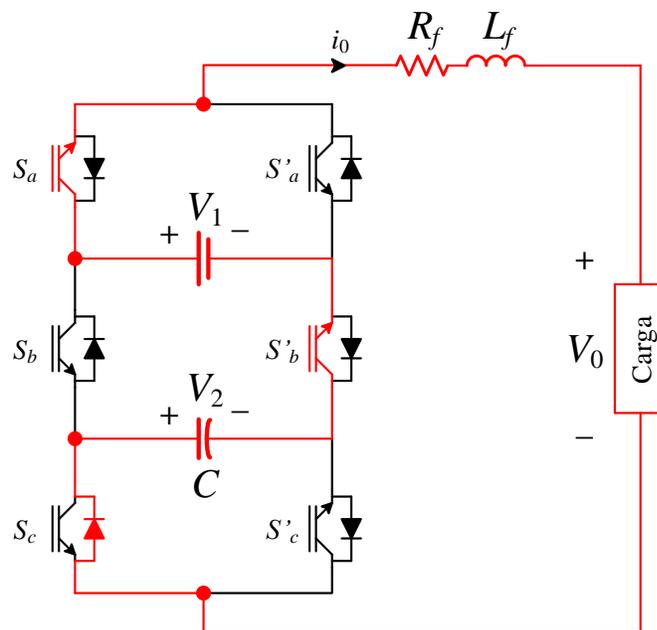
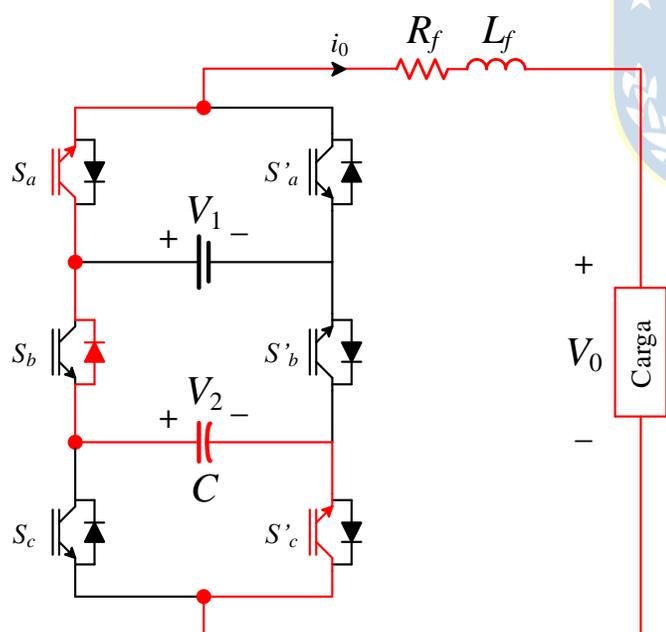
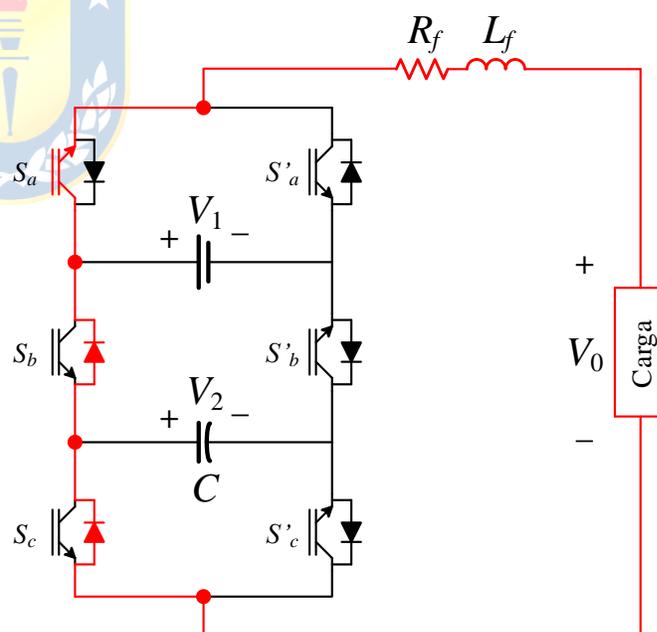
Fig. 3.2 Estado 1 (V_1)Fig. 3.3 Estado 2 ($V_1 - V_2$)Fig. 3.4 Estado 3 (V_2)

Fig. 3.5 Estado 4 (0)

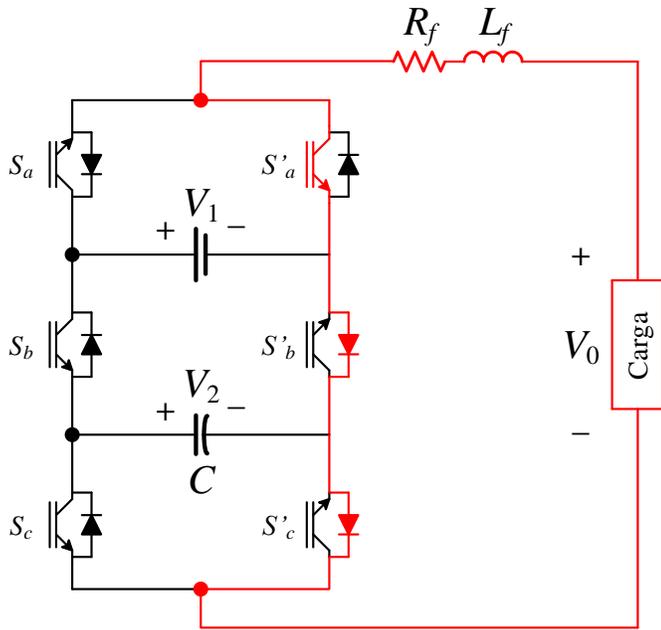
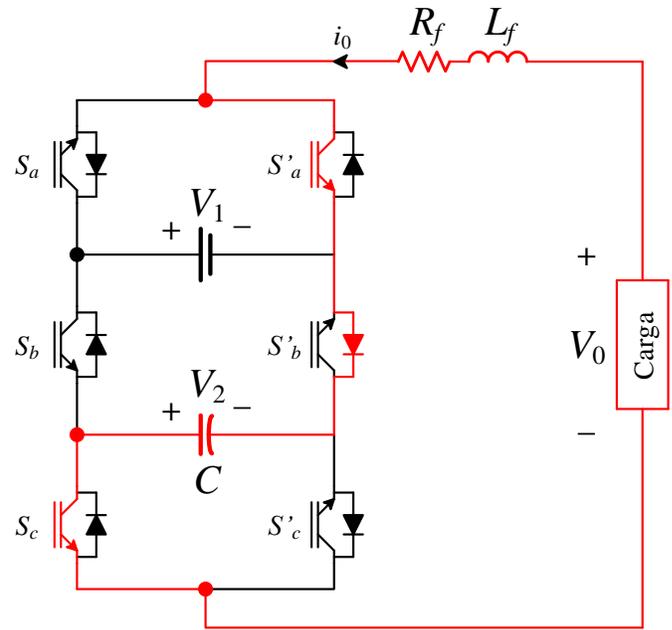
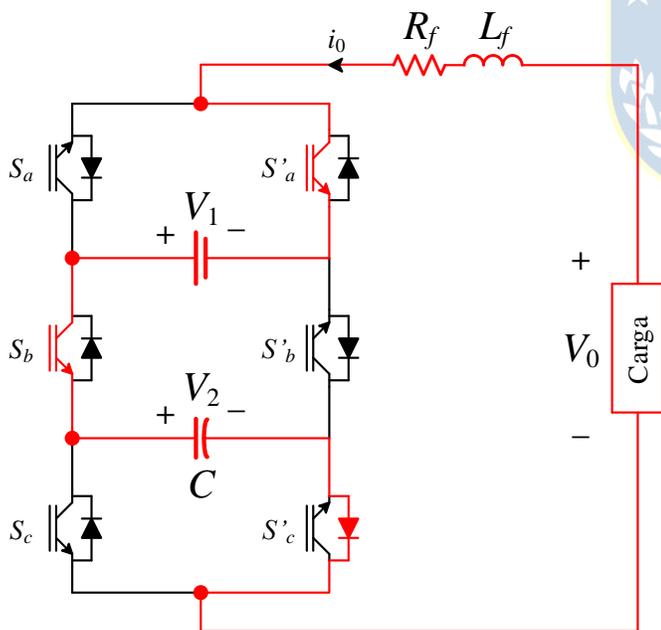
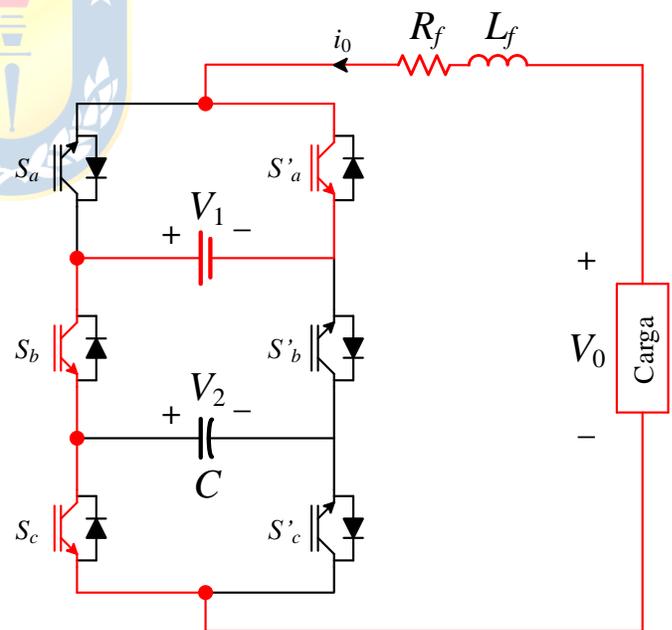


Fig. 3.6 Estado 5 (0)

Fig. 3.7 Estado 6 ($-V_2$)Fig. 3.8 Estado 7 ($V_2 - V_1$)Fig. 3.9 Estado 8 ($-V_1$)

En la Fig. 3.10., se tiene una forma de onda de voltaje de 7 niveles en la salida del inversor PUC, en donde se puede apreciar a que nivel corresponden los 8 estados del convertidor, los niveles en color rojo corresponden a los estados 1 y 8, los niveles en color verde corresponden a los estados 2 y 7, los niveles en color purpura corresponden a los estados 3 y 6, y en el nivel de color amarillo se encuentran los 2 estados redundantes 4 y 5 con amplitud 0.

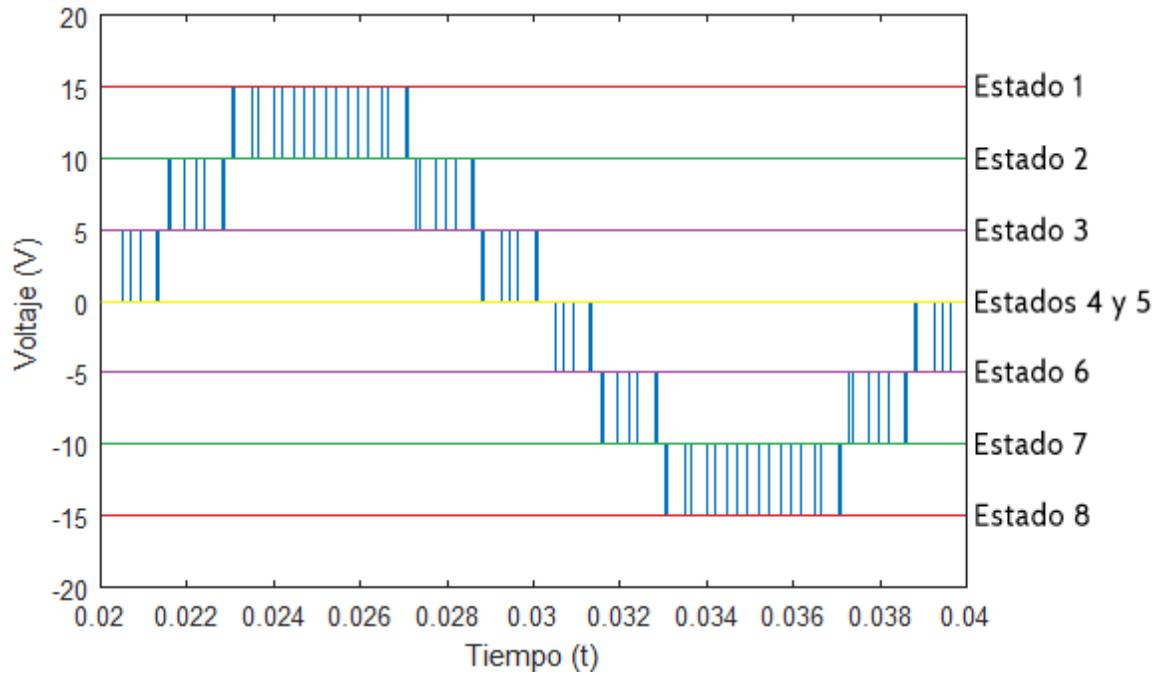


Fig. 3.10 Forma de Onda del Voltaje de Salida del Inversor con sus Estados

3.2.3 Ecuaciones

Las funciones de conmutación del inversor PUC mostradas en la Fig. 3.1. se definen como:

$$S_i = \begin{cases} 0, & \text{si } S_i \text{ esta apagado} \\ 1, & \text{si } S_i \text{ esta encendido} \end{cases} \quad i = a, b, c \quad (3.1)$$

El voltaje de salida del inversor se puede representar como:

$$V_{ad} = V_{ab} + V_{bc} + V_{cd} \quad (3.2)$$

Donde los puntos a , b , c y d son los que aparecen en la Fig. 3.1. y donde cada voltaje de la ecuación (3.2) se puede calcular basándose en las funciones de conmutación de la ecuación (3.1):

$$\begin{aligned} V_{ab} &= (S_a - 1)V_1 \\ V_{bc} &= (1 - S_b)(V_1 - V_2) \\ V_{cd} &= (1 - S_c)V_2 \end{aligned} \quad (3.3)$$

Luego reemplazando las ecuaciones de (3.3) en (3.2), se tiene:

$$\begin{aligned} V_{ad} &= (S_a - 1)V_1 + (1 - S_b)(V_1 - V_2) + (1 - S_c)V_2 \\ &= V_1 S_a - (V_1 - V_2)S_b - V_2 S_c - V_1 + V_1 - V_2 + V_2 \\ &= V_1 S_a - (V_1 - V_2)S_b - V_2 S_c \\ &= (S_a - S_b)V_1 + (S_b - S_c)V_2 \end{aligned} \quad (3.4)$$

Debido a que solo uno de los switch de cada par de switches complementarios S_a y S'_a , S_b y S'_b , S_c y S'_c están encendidos, las corrientes de los interruptores i_1 , i_2 e i_3 se pueden representar en función de la corriente de carga i_0 y de las funciones de conmutación de la ecuación (3.1) como:

$$\begin{aligned} i_1 &= S_a i_0 \\ i_2 &= S_b i_0 \\ i_3 &= S_c i_0 \end{aligned} \quad (3.5)$$

Luego realizando una LCK en c , se tiene la siguiente ecuación:

$$i_3 = i_c + i_2 \quad (3.6)$$

Reemplazando las corrientes de las ecuaciones (3.5) en la ecuación (3.6), se tiene:

$$i_c = (S_c - S_b)i_0 \quad (3.7)$$

Además, la ecuación de la corriente que pasa por el condensador se define como:

$$C \frac{dV_2}{dt} = i_c \quad (3.8)$$

Luego la ecuación de estado para el condensador utilizado para generar el voltaje V_2 queda como:

$$\frac{dV_2}{dt} = \frac{(S_c - S_b)i_0}{C} = -\frac{i_0}{C}S_b + \frac{i_0}{C}S_c \quad (3.9)$$

Realizando una LVK en la salida, se tiene la siguiente ecuación:

$$V_0 = V_{ad} - R_f i_0 - L_f \frac{di_0}{dt} \quad (3.10)$$

Luego reemplazando la ecuación (3.4) en la ecuación (3.10) se tiene:

$$\frac{di_0}{dt} = \frac{(S_a - S_b)V_1 + (S_b - S_c)V_2}{L_f} - \frac{R_f}{L_f}i_0 - \frac{V_0}{L_f} \quad (3.11)$$

Finalmente utilizando las ecuaciones diferenciales (3.9) y (3.11) del modelo del inversor PUC, definiendo como variables de estado $x_1 = i_0$ y $x_2 = V_2$ y utilizando los ciclos de trabajo (d_1, d_2, d_3) de los switches (S_a, S_b, S_c) como matriz de entrada, se obtiene el siguiente modelo de espacio de estados del inversor PUC.

$$\begin{bmatrix} \frac{di_0}{dt} \\ \frac{dV_2}{dt} \end{bmatrix} = \begin{bmatrix} -\frac{R_f}{L_f}i_0 - \frac{V_0}{L_f} \\ 0 \end{bmatrix} + \begin{bmatrix} \frac{V_1}{L_f} & \frac{V_1 - V_2}{L_f} & -\frac{V_2}{L_f} \\ 0 & -\frac{i_0}{C} & \frac{i_0}{C} \end{bmatrix} \begin{bmatrix} d_1 \\ d_2 \\ d_3 \end{bmatrix} \quad (3.12)$$

3.3. Conclusiones

Se pudo observar que el inversor Packet U-Cell de 7 niveles posee una estructura de inversor multinivel con muy pocos componentes en comparación a los otros inversores multinivel, a pesar de la gran cantidad de niveles que esta genera en la salida, con una baja cantidad de switches lo que se podría traducir en menores pérdidas de potencia y un menor costo de implementación.

También se pudo ver que la principal característica de este convertidor, es la de dividir el voltaje de la fuente DC en múltiples niveles para de esta manera mitigar los armónicos que se producen en la señal de voltaje de la carga. Debido a esta ventaja se pueden disminuir el tamaño de los filtros utilizados en la salida del inversor que comúnmente necesitan tener un tamaño más grande debido a los armónicos que se presentan al utilizar topologías de dos niveles.



Capítulo 4. Modulación

4.1. Introducción

En este capítulo se presentará la estrategia de modulación que será utilizada en el desarrollo del inversor PUC. Esta corresponde a una modulación PWM, pero con algunas modificaciones en cuanto al número de portadoras que se utiliza, lo que es necesario para que esta estrategia de modulación sea implementada en topologías multinivel, además se revisara de manera general los distintos tipos de opciones de modulación PWM que se pueden obtener al ir modificando la fase de las diversas portadoras que se encuentran en esta estrategia PWM modificada.

4.2. Modulación PWM

Al momento de implementar una topología de inversor, la técnica de modulación que se utiliza es un aspecto muy importante que influye en la calidad de la forma de onda que se quiere obtener en la salida. Una de las estrategias de modulación más populares es la de modulación por ancho de pulsos o PWM [4], esto debido a su simplicidad en la implementación y a los buenos resultados que esta entrega garantizando un buen funcionamiento del convertidor.

La modulación PWM consiste básicamente en el envío de señales de pulsos a los switches del convertidor de tal forma que con estas señales se genere un determinado tipo de onda en la salida de este.

Esta modulación se realiza con la comparación de una señal moduladora de referencia con cierta frecuencia fundamental que en este caso corresponde a una señal sinusoidal y una señal portadora que usualmente es una señal triangular con una frecuencia mucho mayor que la frecuencia de la moduladora. Al ir comparando estas dos señales se obtiene como resultado una señal de onda cuadrada la cual cuenta con muchos pulsos los que van variando su ciclo de trabajo dependiendo de la amplitud que ira teniendo la señal moduladora de referencia sinusoidal.

En la Fig. 4.1. se puede ver un ejemplo de cómo se van generando los pulsos en la modulación PWM a partir de la comparación entre la moduladora y la portadora.

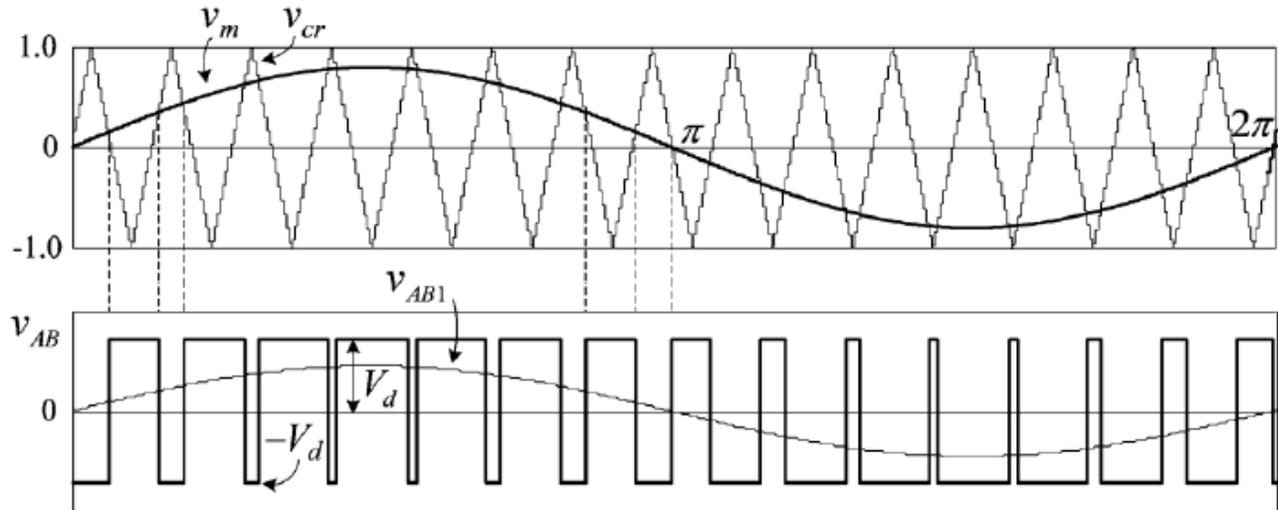


Fig. 4.1 Modulación PWM [5]

Finalmente, a través de este tren de pulsos se va realizando el switcheo de los elementos de conmutación del convertidor para así formar la señal de salida con la frecuencia, amplitud y fase determinadas por la moduladora.

4.3. Modulación Multicarrier MCSPWM

Debido a que el inversor con el que se trabaja en este proyecto es de tipo multinivel, la modulación PWM a utilizar debe llevar algunas modificaciones para poder ir formando los pulsos a distintos niveles, la modulación seleccionada corresponde a una MCSPWM que significa Multi Carrier Sinusoidal PWM [5,6], [13,14], esta técnica implica el muestreo de la señal moduladora la cual será una sinusoidal, esta es comparada con múltiples señales portadoras que por lo general son señales triangulares, esto para ir generando los distintos niveles de la señal de salida del convertidor, en la Fig. 4.2., se puede ver un ejemplo de cómo se realiza la comparación entre la moduladora y las portadoras para este tipo de modulación PWM.

Dentro de la modulación multicarrier, hay distintos métodos de comparación entre la señal moduladora y las portadoras, los cuales varían dependiendo de la disposición que tengan las señales portadoras, y que generan un rendimiento distinto para cada inversor dependiendo del inversor, como por ejemplo una mejor atenuación de armónicos y una mejor señal de salida, estos métodos se pueden clasificar en PWM con desplazamiento de nivel conocido como Level Shifted PWM (LS-PWM) y en PWM con desplazamiento de fase conocido como Phase Shifted PWM (PS-PWM).

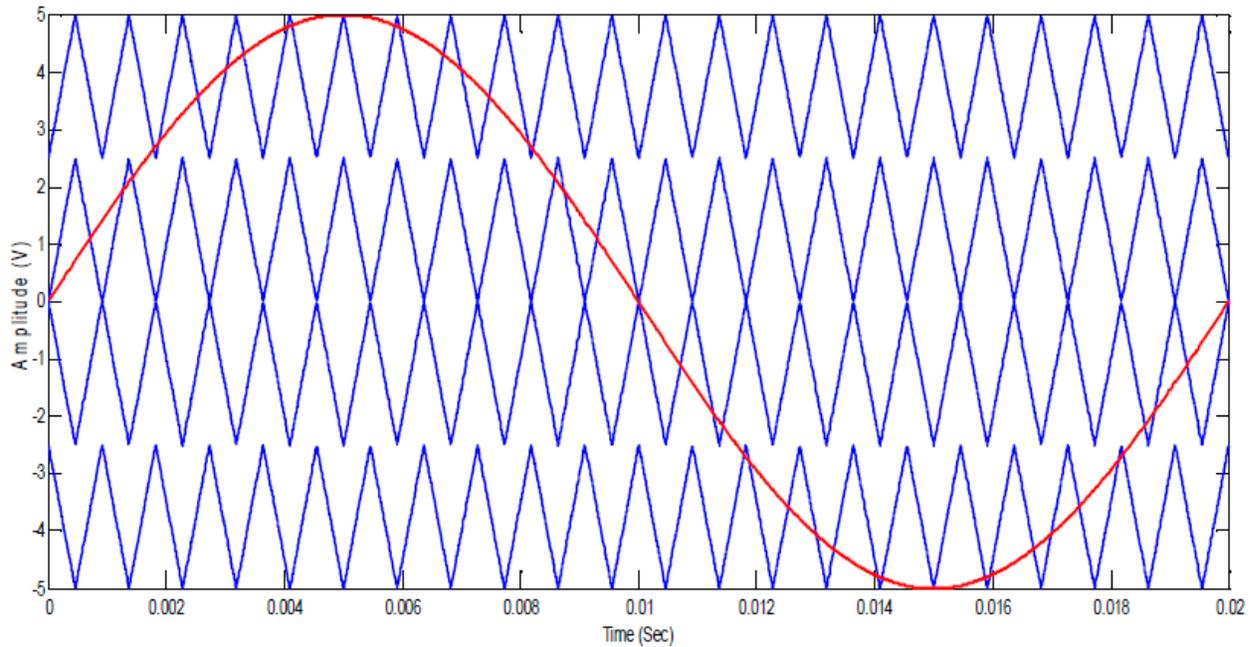


Fig. 4.2 Modulación MCSPWM con 4 Portadoras [6]

4.4. Level Shifted PWM (LS-PWM)

La modulación PWM con desplazamiento de nivel conocido como Level Shifted PWM (LS-PWM) se caracteriza porque las portadoras utilizadas se sitúan una encima de otra y todas tienen la misma amplitud que es igual a la unidad dividido por el número de portadoras, el número de portadoras depende del número de niveles que tenga el inversor con el cual se está trabajando y se determina con la siguiente ecuación:

$$NP = m - 1 \quad (4.1)$$

Siempre la mitad del número de portadoras se sitúa por encima del nivel 0 y la otra mitad por debajo de este. En la Fig. 4.2., se puede observar una modulación LS-PWM para un inversor de 5 niveles ya que solo se utilizan 4 portadoras.

Según la fase que tengan las portadoras, el método LS-PWM se puede clasificar en 3 métodos distintos que son Phase Disposition (PD), Phase Opposition Disposition (POD) y Alternative Phase Opposition Disposition (APOD).

4.4.1 Phase Disposition (PD)

En el método de disposición de fase conocido como Phase Disposition (PD) de LS-PWM, las portadoras utilizadas para realizar la modulación que se encuentran arriba del nivel 0 y las que se encuentran por debajo de este, tienen la misma fase. En la Fig. 4.3. se tiene un ejemplo para este método de multiportadora para el caso de un inversor de 5 niveles en donde hay 2 portadoras superiores y dos portadoras inferiores, aquí puede observar claramente como es la disposición de las diversas portadoras en este método.

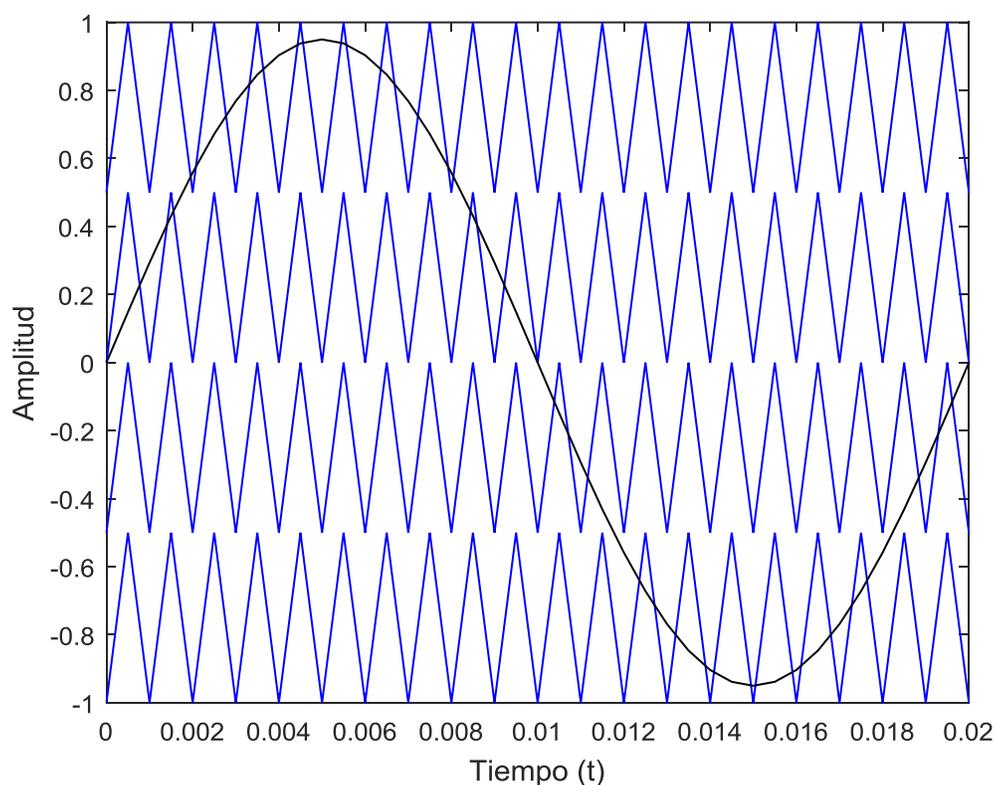


Fig. 4.3 Modulación LS-PWM Phase Disposition con 4 Portadoras

4.4.2 Phase Opposition Disposition (POD)

En el método de disposición de oposición de fase conocido como Phase Opposition Disposition (POD) de LS-PWM, a diferencia del método PD, las portadoras utilizadas para realizar la modulación que se encuentran arriba del nivel 0 y las que se encuentran por debajo de este, tienen un desfase de 180° . En la Fig. 4.4. se tiene un ejemplo para este método de multiportadora para el caso de un inversor de 5 niveles en donde hay 2 portadoras superiores y dos portadoras inferiores, aquí puede observar claramente como es la disposición de las diversas portadoras en este método.

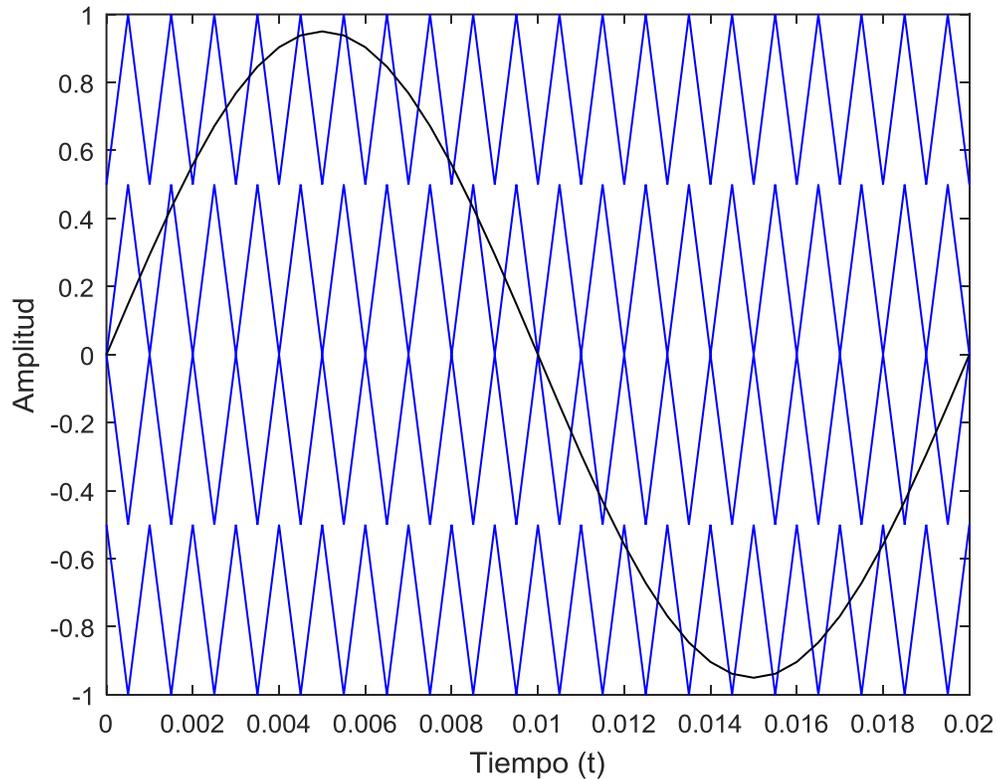


Fig. 4.4 Modulación LS-PWM Phase Opposition Disposition con 4 Portadoras

4.4.3 Alternative Phase Opposition Disposition (APOD)

En el método de disposición alternativa de oposición de fase conocido como Alternative Phase Opposition Disposition (APOD) de LS-PWM, a diferencia los métodos mostrados anteriormente, todas las portadoras utilizadas tienen un desfase de 180° incluyendo las que se encuentran por arriba y por debajo del nivel 0. En la Fig. 4.5. se tiene un ejemplo para este método de multiportadora para el caso de un inversor de 5 niveles en donde hay 2 portadoras superiores y dos portadoras inferiores, aquí puede observar claramente como es la disposición de las diversas portadoras en este método.

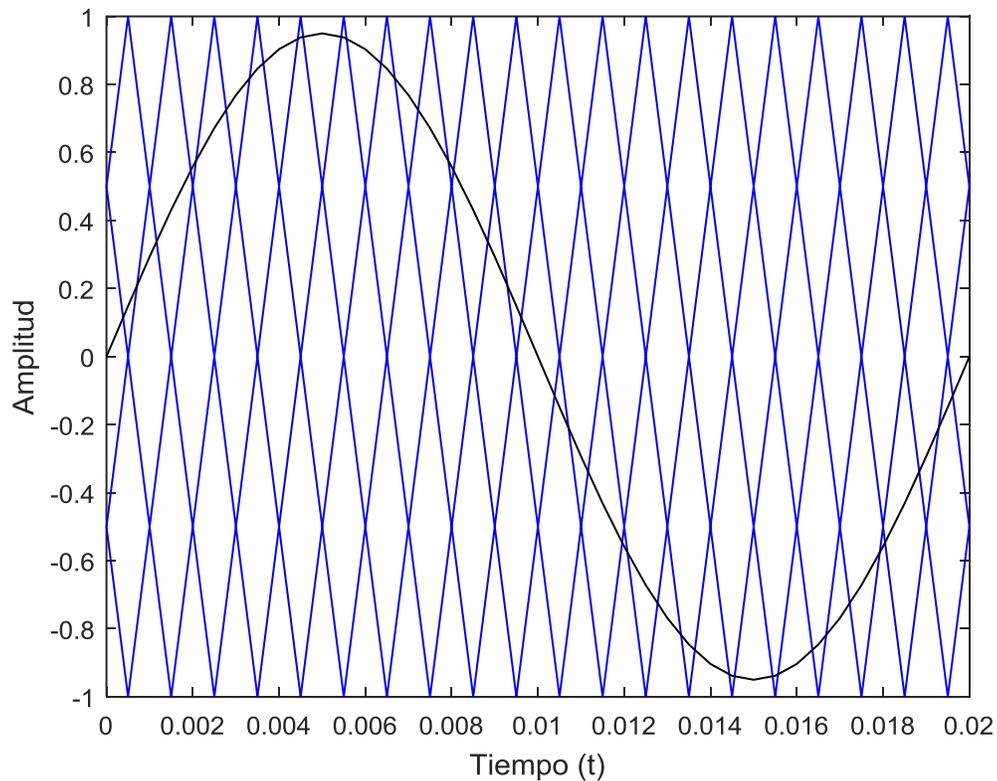


Fig. 4.5 Modulación LS-PWM Alternative Phase Opposition Disposition con 4 Portadoras

4.5. Phase Shifted PWM (PS-PWM)

En el método de desplazamiento de fase conocido como Phase Shifted PWM (PS-PWM), a diferencia los métodos de Level Shifted PWM (LS-PWM), este se caracteriza porque las portadoras utilizadas se sitúan una al lado de la otra y todas tienen la misma amplitud.

En la Fig. 4.6. se tiene un ejemplo para este método de multiportadora para el caso de un inversor de 5 niveles en donde hay 4 portadoras, aquí puede observar claramente como es la disposición de las diversas portadoras en este método.

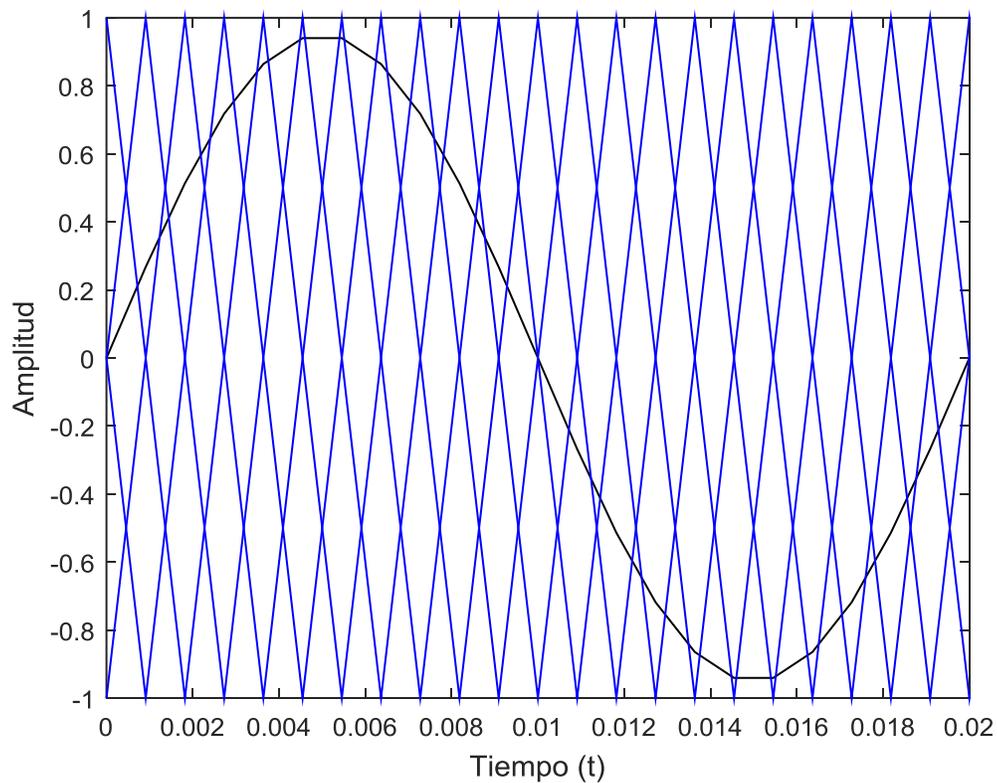


Fig. 4.6 Modulación PS-PWM con 4 Portadoras

4.6. Conclusiones

Como se pudo observar en este capítulo, la modulación PWM presenta grandes ventajas, una de estas es la sencillez de su funcionamiento y lo versátil que puede ser al momento de ser implementada en diversos inversores de potencia.

Se pudo observar que, para el caso de inversores multinivel, la modulación PWM de multiportadora puede ser una solución a considerar, y que puede ofrecer muchas variaciones en su diseño dependiendo de los requerimientos del inversor utilizado, esta modulación se puede fácilmente adecuar al tipo de convertidor solo cambiando la disposición de las portadoras como se pudo ver en las modulaciones LS-PWM y PS-PWM, las que ofrecerán un rendimiento distinto dependiendo del caso. Otra característica que posee esta modulación es que no tiene limitaciones en cuanto al número de niveles requerido por la topología a implementar, solo basta aumentar el número de portadoras para poder cumplir este requerimiento.



Capítulo 5. Simulación en Lazo Abierto

5.1. Introducción

En este apartado se muestra el desarrollo de la simulación en lazo abierto para el inversor PUC de 7 niveles, en donde se omite el control del condensador y en vez de ello se utiliza una fuente de voltaje fija V_2 en su reemplazo. También se muestra el desarrollo de la modulación utilizada para el control de esta topología de inversor. Finalmente se exponen algunas graficas que muestran los resultados de la implementación de la simulación.

5.2. Valores

En el desarrollo del inversor multinivel se consideraron los siguientes valores de componentes que se muestran en la tabla 5.1., los que se obtienen más adelante en la etapa de cálculos:

TABLA 5.1 Valores de los Componentes del Inversor.

Parámetro	Valor	Valor en p.u.
V_1 (Voltaje Fuente 1)	15 V	1
V_2 (Voltaje Fuente 2)	5 V	0.33
f_m (Frecuencia Moduladora)	50 Hz	1
f_p (Frecuencia Portadora)	2000 Hz	40
A_m (Amplitud Moduladora)	0.835	-
R (Resistencia Carga)	20 Ω	1
L (Inductancia Carga)	10 mH	1
P_{0rms} (Potencia Activa de Salida rms)	3.8 W	-
FP (Factor de Potencia)	0.98	-
V_{0rms} (Voltaje de Salida rms)	8.85 V	0.59
I_{0rms} (Corriente de Salida rms)	0.44 A	-
R_f (Resistencia de filtro)	0.1 Ω	0.005
L_f (Inductancia de filtro)	3 mH	0.3
f_c (Frecuencia de corte)	5 Hz	0.1

5.3. Cálculos

Algunos de los valores de los componentes mostrados en la tabla 5.1., como el voltaje de la fuente V_1 , las frecuencias de la moduladora f_m y la portadora f_p , la amplitud de la moduladora A_m , la potencia de salida P_{0rms} , el factor de potencia FP , la resistencia del filtro R_f y la frecuencia de corte f_c se consideran parámetros de diseño.

A continuación, se realiza el cálculo de los componentes restantes que son la fuente de voltaje V_2 , el voltaje en la carga V_{0rms} , la corriente en la carga I_{0rms} , los elementos de la carga R y L y la inductancia del filtro L_f .

Primero, en la etapa de la salida del inversor se realiza el cálculo para un filtro de tipo RL pasa bajos pasivo de primer orden, para esto se considera la ecuación (5.1) que iguala el valor óhmico de la resistencia de filtro con el de la reactancia de filtro a una determinada frecuencia de corte:

$$1 = \frac{R_f}{X_{L_f}} \quad (5.1)$$

Además, se tiene que la ecuación para la impedancia de la inductancia de filtro X_{L_f} es:

$$X_{L_f} = 2 \cdot \pi \cdot f_c \cdot L_f \quad (5.2)$$

Reemplazando la ecuación (5.2) en (5.1) se puede obtener la ecuación para el cálculo de la inductancia de filtro L_f a través de la nueva ecuación (5.3):

$$\begin{aligned} 1 &= \frac{R_f}{X_{L_f}} \\ 1 &= \frac{R_f}{2\pi f_c L_f} \\ L_f &= \frac{R_f}{2\pi f_c} \end{aligned} \quad (5.3)$$

Luego reemplazando la resistencia de filtro R_f y la frecuencia de corte f_c en la ecuación (5.3), se obtiene un valor para la inductancia de filtro L_f de:

$$L_f = \frac{0.1}{2 \cdot \pi \cdot 5} = 3.18 \approx 3[\text{mH}] \quad (5.4)$$

Para el cálculo de la fuente de voltaje V_2 , debido a la topología del inversor, se requiere que tenga un valor de 1/3 de la fuente principal V_1 por lo que su valor se calcula como:

$$V_2 = \frac{1}{3} \cdot V_1 = \frac{1}{3} \cdot 15 = 5[\text{V}] \quad (5.5)$$

Para el cálculo del voltaje de la carga V_{0rms} , se tiene la siguiente ecuación que considera el índice de modulación m_a y el voltaje de entrada del convertidor V_1 :

$$V_{0rms} = \frac{V_1}{\sqrt{2}} \cdot m_a \quad (5.6)$$

Se tiene que el índice de modulación m_a se calcula como:

$$m_a = \frac{A_m}{A_p} = \frac{0.835}{1} = 0.835 \quad (5.7)$$



Donde A_m es la amplitud de la moduladora y A_p es la amplitud de la portadora que tiene un valor de 1. Luego V_{0rms} , tiene un valor de:

$$V_{0rms} = \frac{15}{\sqrt{2}} \cdot 0.835 = 8.85[\text{V}] \quad (5.8)$$

Para el cálculo de los elementos de la carga R y L , se tiene la siguiente ecuación para la potencia activa:

$$P_{0rms} = V_{0rms} \cdot I_{0rms} \cdot \cos(\Phi) \quad (5.9)$$

En donde la corriente I_{0rms} se calcula como:

$$I_{0rms} = \frac{V_{0rms}}{Z} \quad (5.10)$$

Y en donde Z corresponde a la impedancia total presente en la carga y X_L corresponde a la impedancia del inductor presente en la carga, luego Z se calcula como:

$$Z = \sqrt{R^2 + X_L^2} \quad (5.11)$$

Luego de las ecuaciones (5.9), (5.10) y (5.11), la ecuación de potencia activa queda como:

$$P_{0rms} = \frac{V_{0rms}^2}{\sqrt{R^2 + X_L^2}} \cdot \cos(\Phi) \quad (5.12)$$

De donde se obtiene la siguiente relación para R y X_L :

$$\sqrt{R^2 + X_L^2} = \frac{V_{0rms}^2}{P_{0rms}} \cdot \cos(\Phi) \quad (5.13)$$



Luego se hace uso de la siguiente ecuación proveniente del triángulo de impedancias:

$$\tan(\Phi) = \frac{X_L}{R} \quad (5.14)$$

Al considerar el valor del factor de potencia FP igual al valor de $\cos(\Phi)$, se puede obtener el valor de Φ como:

$$\Phi = \arccos(FP) \quad (5.15)$$

Luego reemplazando la ecuación (5.15) en la ecuación (5.14) se obtiene la siguiente ecuación:

$$\frac{X_L}{R} = \tan(\arccos(FP)) \quad (5.16)$$

Como se quiere que el factor de potencia FP tenga un valor de 0.98, este se reemplaza en la ecuación (5.16) en donde se obtiene la siguiente relación para R y X_L :

$$\begin{aligned} \frac{X_L}{R} &= \tan(\arccos(0.98)) \\ \frac{X_L}{R} &= 0.203 \end{aligned} \quad (5.17)$$

Luego utilizando la relación de la ecuación (5.17) en la ecuación (5.13), se obtienen los valores de R y X_L :

$$\begin{aligned} \sqrt{R^2 + (0.203R)^2} &= \frac{V_{0rms}^2}{P_{0rms}} \cdot \cos(\Phi) \\ \sqrt{1.0412R^2} &= \frac{V_{0rms}^2}{P_{0rms}} \cdot \cos(\Phi) \\ 1.02R &= \frac{V_{0rms}^2}{P_{0rms}} \cdot \cos(\Phi) \\ R &= \frac{1}{1.02} \cdot \frac{8.85^2}{3.8} \cdot 0.98 = 19.8 \approx 20[\Omega] \end{aligned} \quad (5.18)$$



Reemplazando R en la ecuación (5.17), se obtiene el valor de X_L :

$$\begin{aligned} X_L &= 0.203R \\ X_L &= 0.203 \cdot 20 = 4.06 \end{aligned} \quad (5.19)$$

Luego como se tiene que la ecuación para la impedancia de la inductancia X_L es:

$$X_L = 2 \cdot \pi f_m \cdot L_T \quad (5.20)$$

El valor de la inductancia L_T total se obtiene de la ecuación (5.20) como:

$$L_T = \frac{X_L}{2 \cdot \pi \cdot f_m}$$

$$L_T = \frac{4.06}{2 \cdot \pi \cdot 50} = 0.0129 \approx 13[\text{mH}] \quad (5.21)$$

Debido a que en la ecuación (5.4) ya se había calculado una inductancia de filtro, la inductancia de la carga será la diferencia entre la inductancia total calculada en la ecuación (5.21) y la inductancia del filtro:

$$L = L_T - L_f$$

$$L = 13 - 3 = 10[\text{mH}] \quad (5.22)$$

Finalmente, con los valores de R y L ya calculados, se obtiene el valor de la corriente en la carga I_{0rms} de la ecuación (5.10) como:

$$I_{0rms} = \frac{V_{0rms}}{Z}$$

$$I_{0rms} = \frac{V_{0rms}}{\sqrt{R^2 + X_L^2}}$$

$$I_{0rms} = \frac{V_{0rms}}{\sqrt{R^2 + X_L^2}} = \frac{8.85}{\sqrt{20^2 + 4.06^2}} = 0.44[\text{A}] \quad (5.23)$$



5.4. Simulación del circuito del Inversor

La simulación en lazo abierto del inversor PUC de 7 niveles se desarrolló en la herramienta de simulación de circuitos PSIM la cual está diseñada para simulaciones de electrónica de potencia, control de motores y sistemas dinámicos.

Para el desarrollo de la parte que tiene que ver con el circuito del inversor, se utilizaron las librerías Power y Sources de PSIM, de aquí se usaron los siguientes elementos:

- 2 Fuentes de Voltaje DC (DC Voltage Source (DC)).
- 6 Transistores IGBT (Insulated Gate Bipolar Transistor (IGBT) switch).
- 1 Resistencia para la carga RL (Resistor).
- 1 Inductor para la carga RL (Inductor).
- 1 Resistencia para la resistencia de filtro (Resistor).
- 1 Inductor para la inductancia de filtro (Inductor).

En la Fig. 5.1. se puede ver la simulación para el circuito del inversor implementada en PSIM.



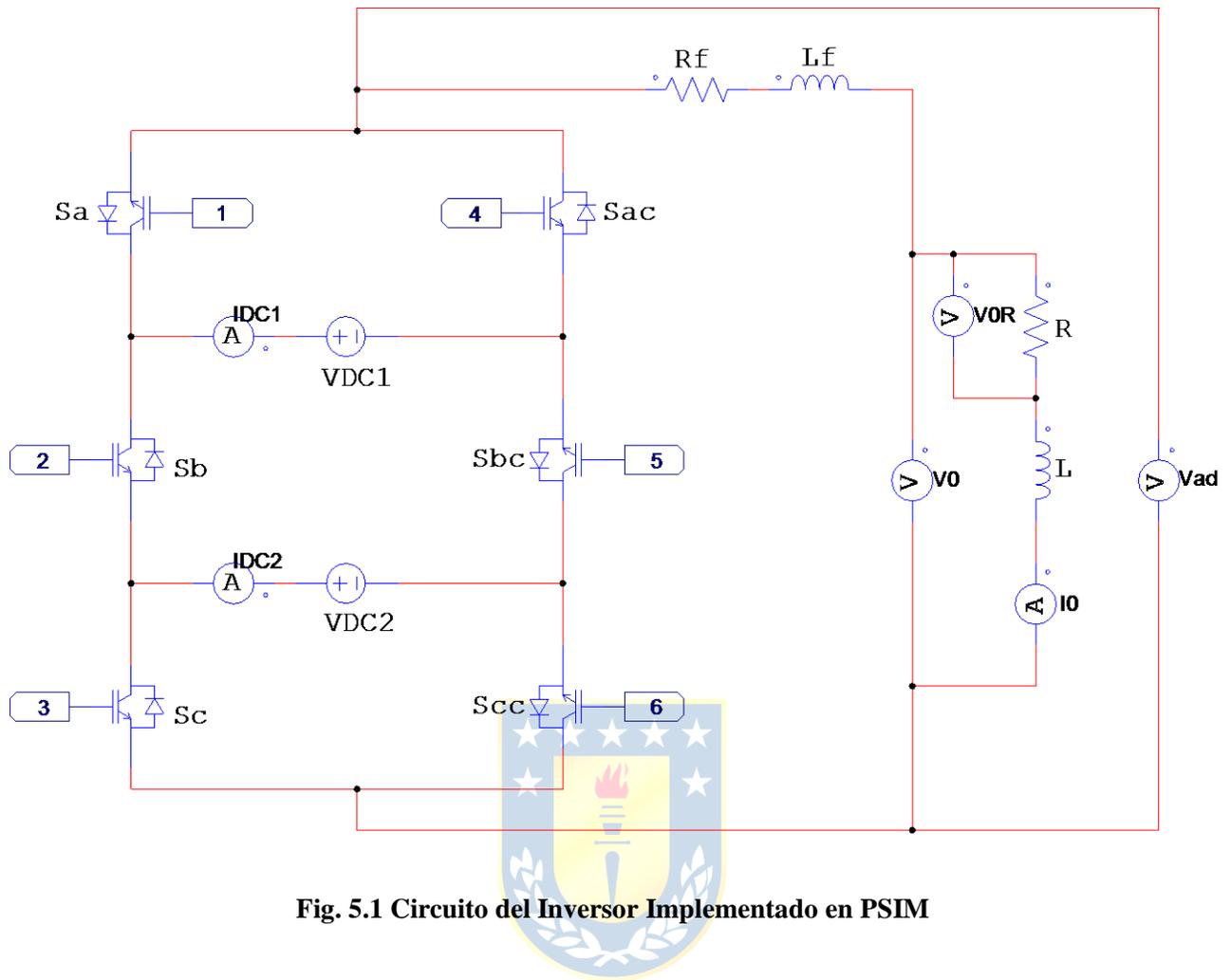


Fig. 5.1 Circuito del Inversor Implementado en PSIM

5.5. Simulación de la Modulación del Inversor

Para el desarrollo de la parte que tiene que ver con la modulación del inversor, se utilizaron las librerías Sources y Control de PSIM, los elementos de interés que se usaron aquí son:

- 1 Generador de Onda Sinusoidal (Sinusoidal voltage source (Sine)).
- 6 Generadores de Ondas Triangulares (Triangular-wave voltage source (Triangular)).
- 8 Comparadores de Señal (Comparator).
- 6 Fuentes de Voltaje DC (DC Voltage Source (DC)).
- 9 Sumadores de Señal (Summer).
- 6 Multiplicadores de Señal (Multiplier)

En cuanto a la parte que tiene que ver con el switcheo del inversor, esta se encuentra programada dentro de un bloque, el elemento utilizado se obtuvo de la librería Function Blocks:

- Simplified C Block

Este es un elemento en el cual se puede usar y programar un código C simplificado el que se puede ingresar directamente sin la necesidad de ser compilado, este elemento sirvió para la programación de la tabla donde se encuentran los posibles estados de conmutación que tiene el inversor PUC.

En la Fig. 5.2. se puede ver la simulación para la modulación del inversor implementada en PSIM.

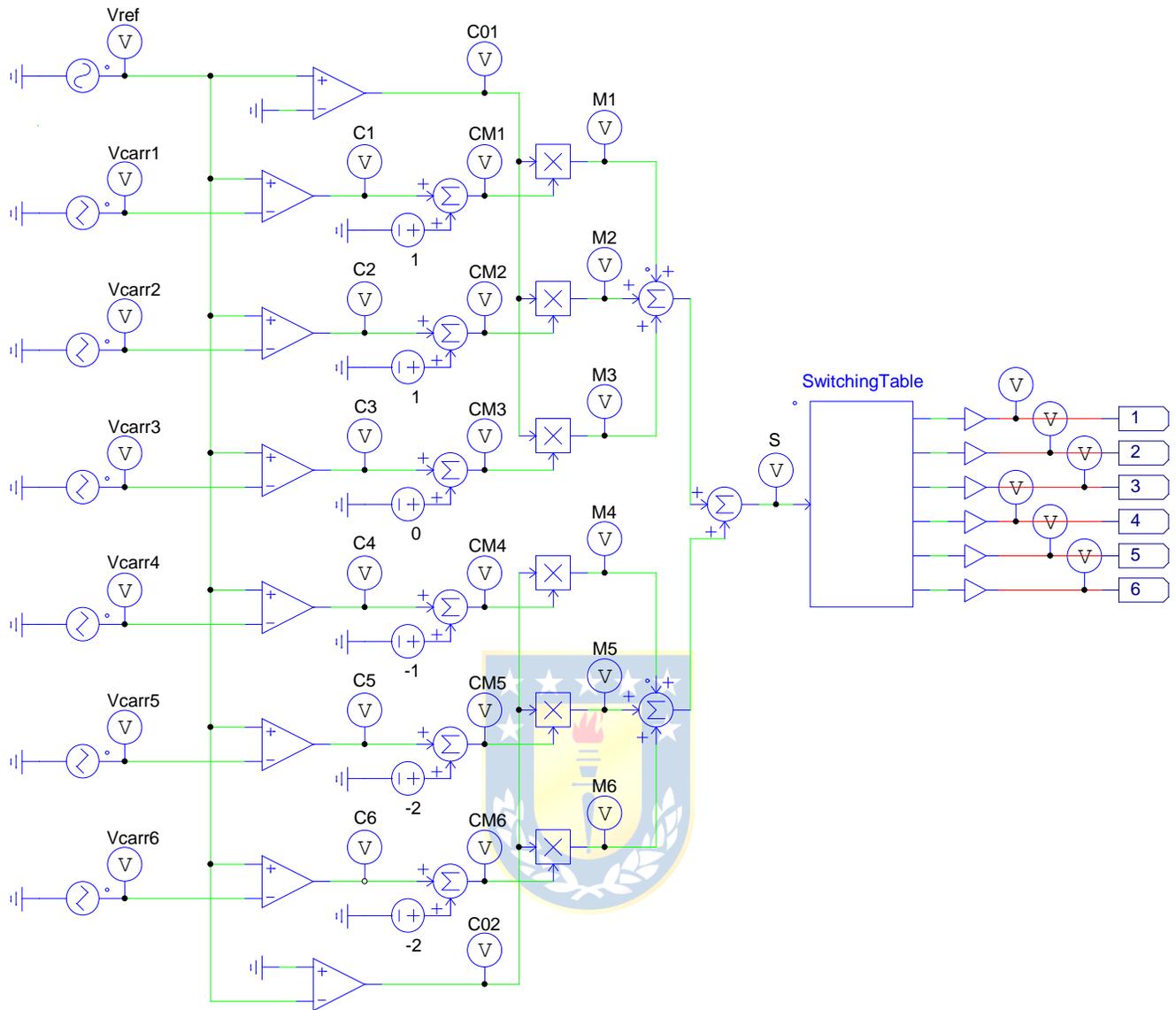


Fig. 5.2 Modulación del Inversor Implementada en PSIM

5.6. Funcionamiento de la Simulación

Primero, en la parte de la modulación, se realiza una comparación entre una señal sinusoidal de referencia (moduladora) y las 6 señales triangulares (portadoras) con ayuda de los comparadores de señal como se puede observar en la Fig. 5.3.

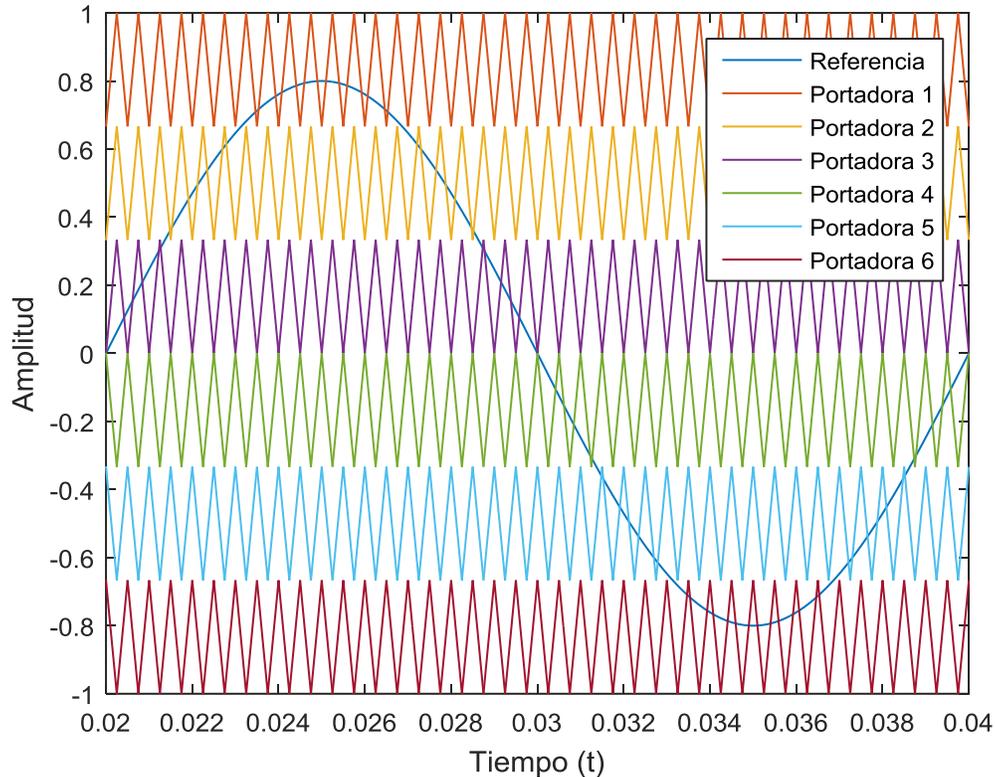


Fig. 5.3 Comparación entre la Moduladora y las Portadoras

Luego de esto se obtienen los pulsos para cada comparación realizada, como se puede observar en la Fig. 5.4. donde se tienen las 3 comparaciones superiores mayores que 0 y las 3 comparaciones inferiores menores que 0.

A estas señales obtenidas se les hace una modificación, a las 2 primeras señales 1 y 2 se les hace un offset de amplitud 1, a la señal 4 se le hace un offset de amplitud -1 y a las 2 últimas señales 5 y 6 se les hace un offset de amplitud -2 como se ve representado en la Fig. 5.5.

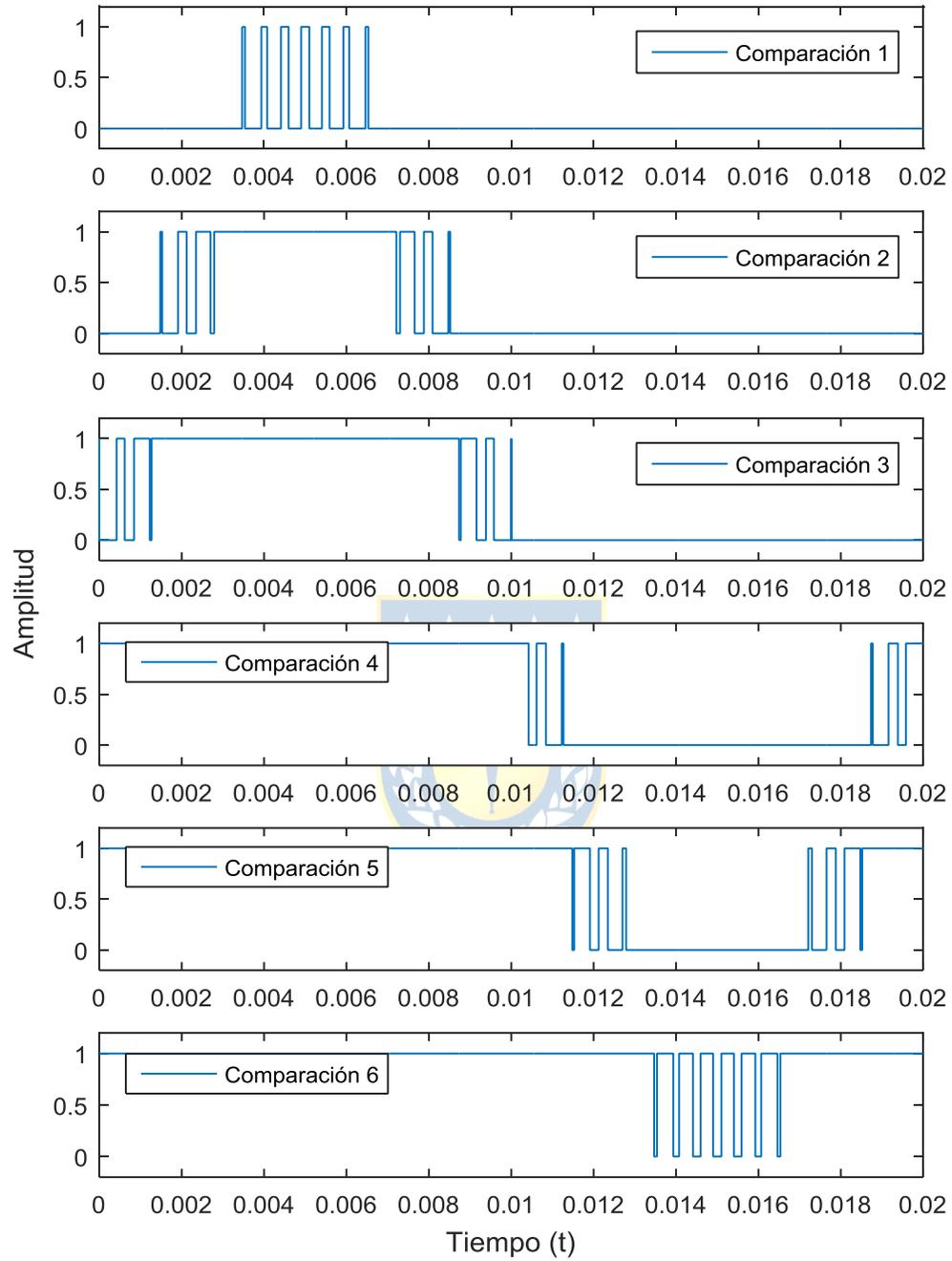


Fig. 5.4 Señales Obtenidas de la Comparación

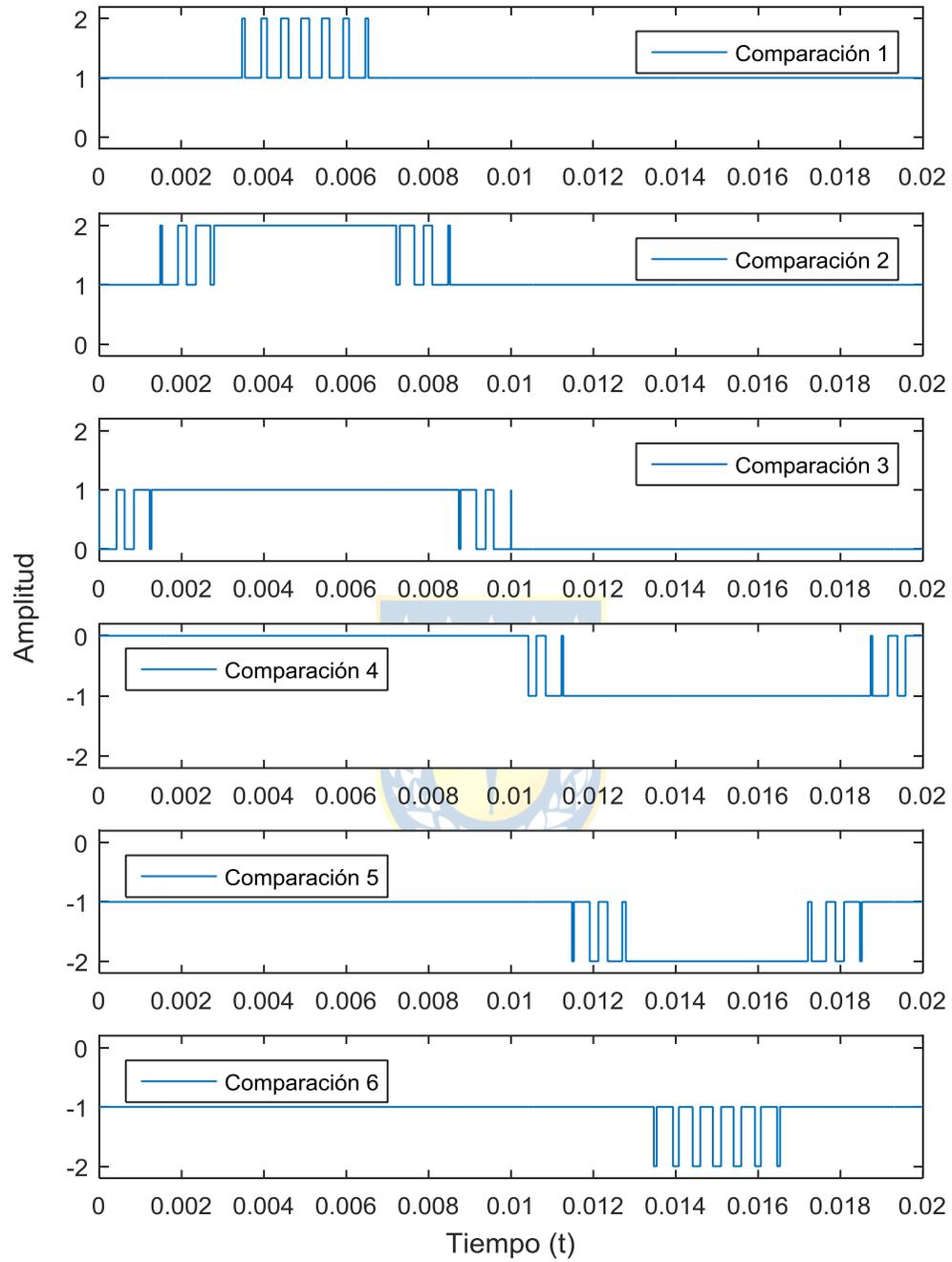


Fig. 5.5 Señales Modificadas Obtenidas de la Comparación

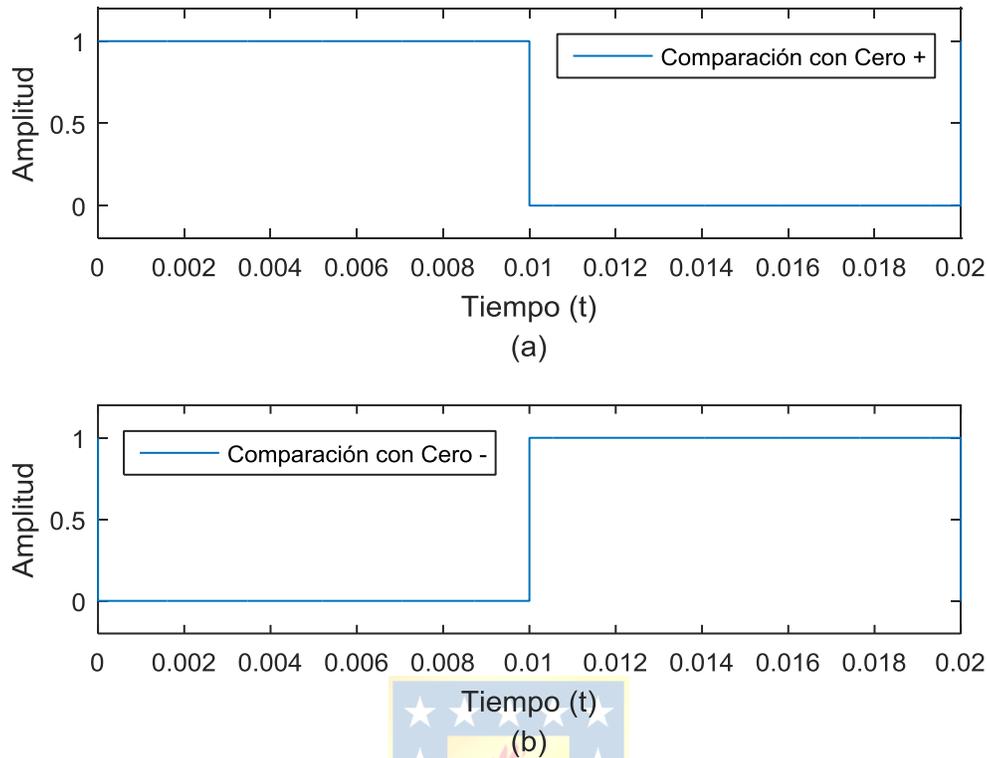


Fig. 5.6 Señales Obtenidas de la Comparación entre la Moduladora y Cero

(a) Comparación Mayor a 0, (b) Comparación Menor a 0

Luego las señales modificadas con offset, son multiplicadas con señales obtenidas de la comparación entre señal moduladora y cero, siendo más claro, las 3 señales superiores modificadas 1,2 y 3 son multiplicadas con la señal (a) de la Fig. 5.6. y las 3 señales inferiores modificadas 4,5 y 6 son multiplicadas con la señal (b) de la Fig. 5.6. En la Fig. 5.7. se pueden ver en las señales obtenidas de estas multiplicaciones.

Luego todas las señales obtenidas de las multiplicaciones se suman generando una única señal S la cual se puede ver en la Fig. 5.8. Esta señal S entra a un bloque de funciones en donde se programó la tabla 3.1 con los estados de conmutación, en este bloque se le asigna a cada pulso un determinado estado de conmutación como se puede observar en la tabla 5.1.

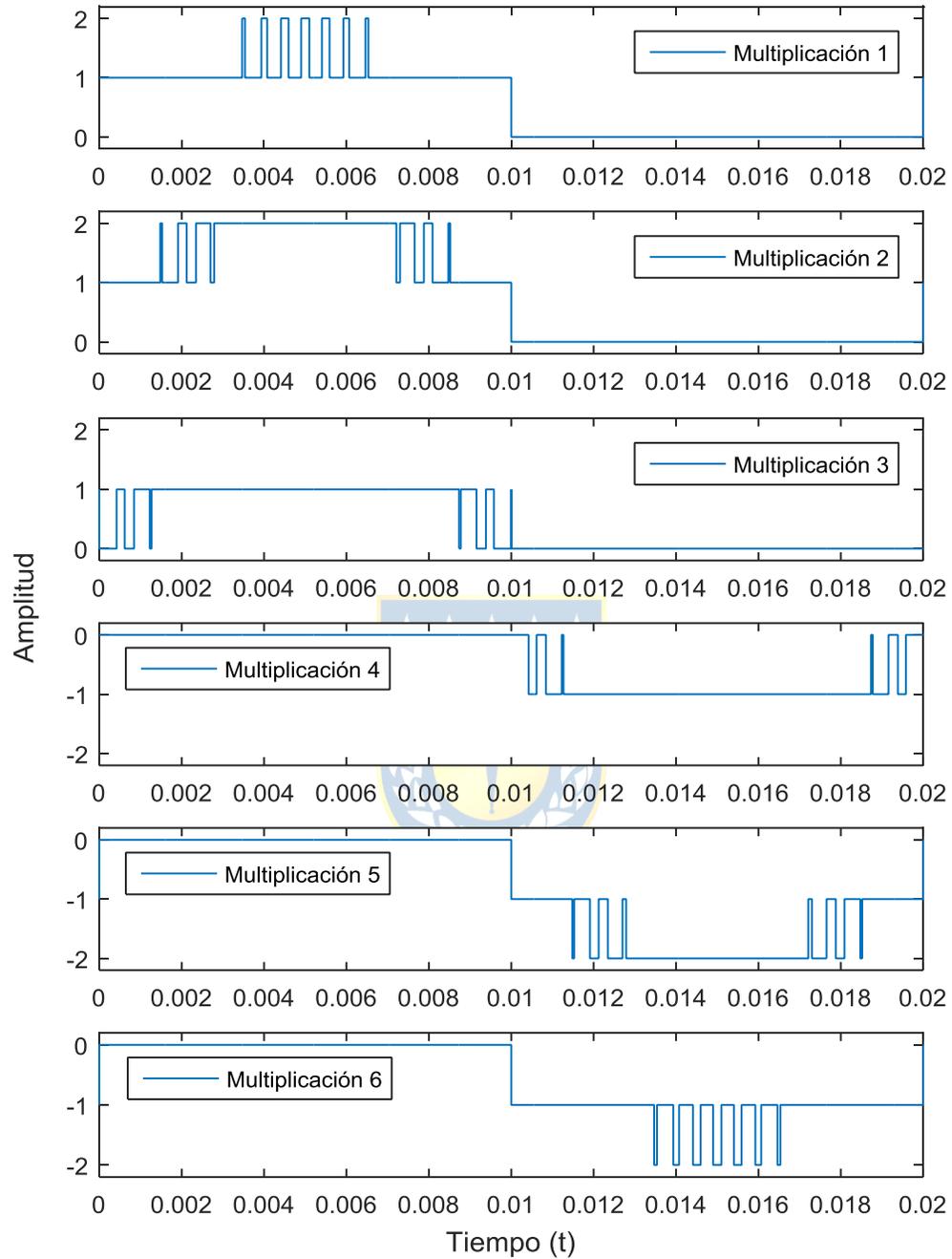


Fig. 5.7 Señales Obtenidas de la Multiplicación entre Señales

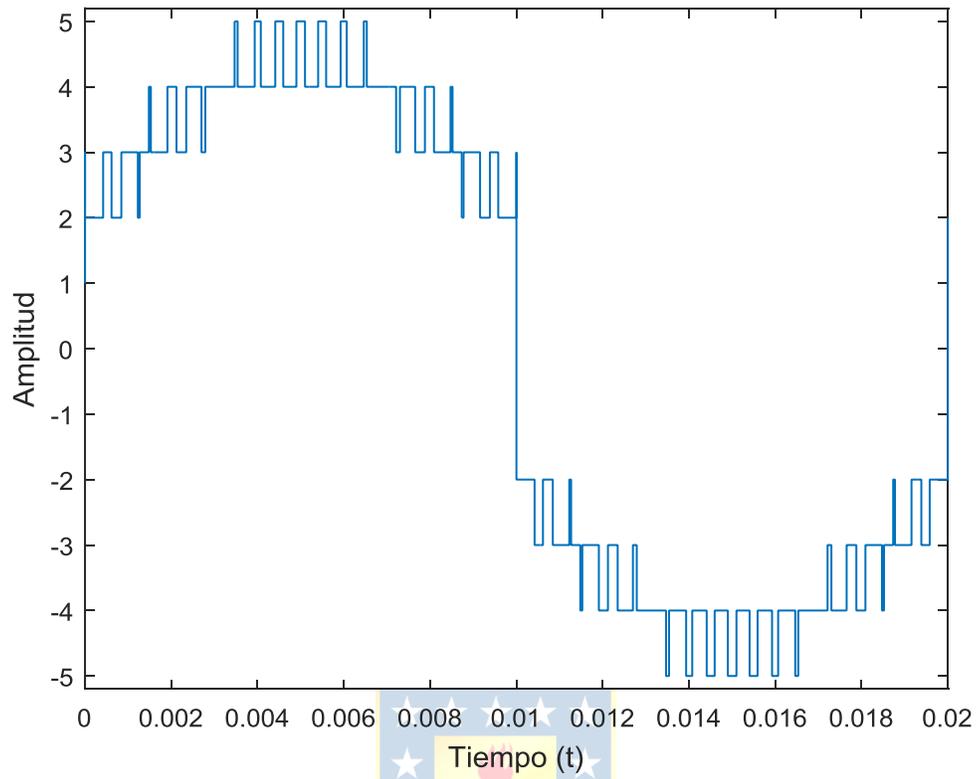


Fig. 5.8 Señal Generada de la Suma de las Señales Obtenidas de las Multiplicaciones

TABLA 5.2 Programación de la Tabla de Switcheo.

Estado	Amplitud
1	5
2	4
3	3
4	2
5	-2
6	-3
7	-4
8	-5

A la salida del bloque de funciones se obtienen 6 señales, las que son enviadas a la parte del circuito del inversor específicamente a los transistores, estas señales de switcheo del inversor se pueden ver en la Fig. 5.9. Finalmente, el inversor a través de las secuencias de switcheo recibidas puede desarrollar los 7 niveles que debe tener la forma de onda de tensión en la salida.

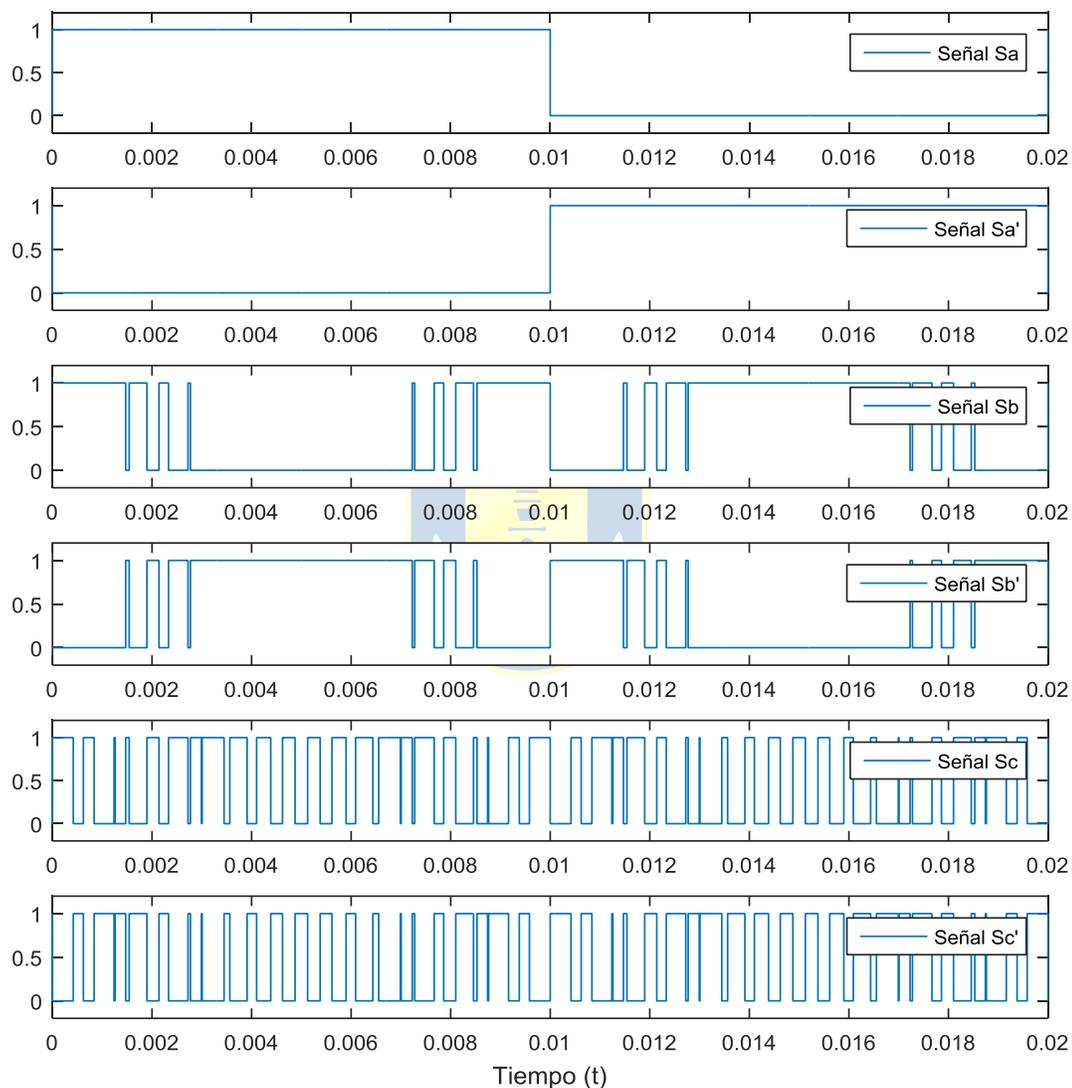


Fig. 5.9 Señales de Switcheo del Inversor

5.7. Resultados de la Simulación

En esta parte se presentan los resultados de las simulaciones, se realizaron 3 simulaciones distintas, una para cada tipo de modulación LS-PWM, para así poder observar cual tiene un mejor rendimiento con el inversor, además se obtuvo a través de PSIM los valores de THD de las corrientes en la carga i_0 para cada caso.

5.7.1 Phase Disposition (PD)

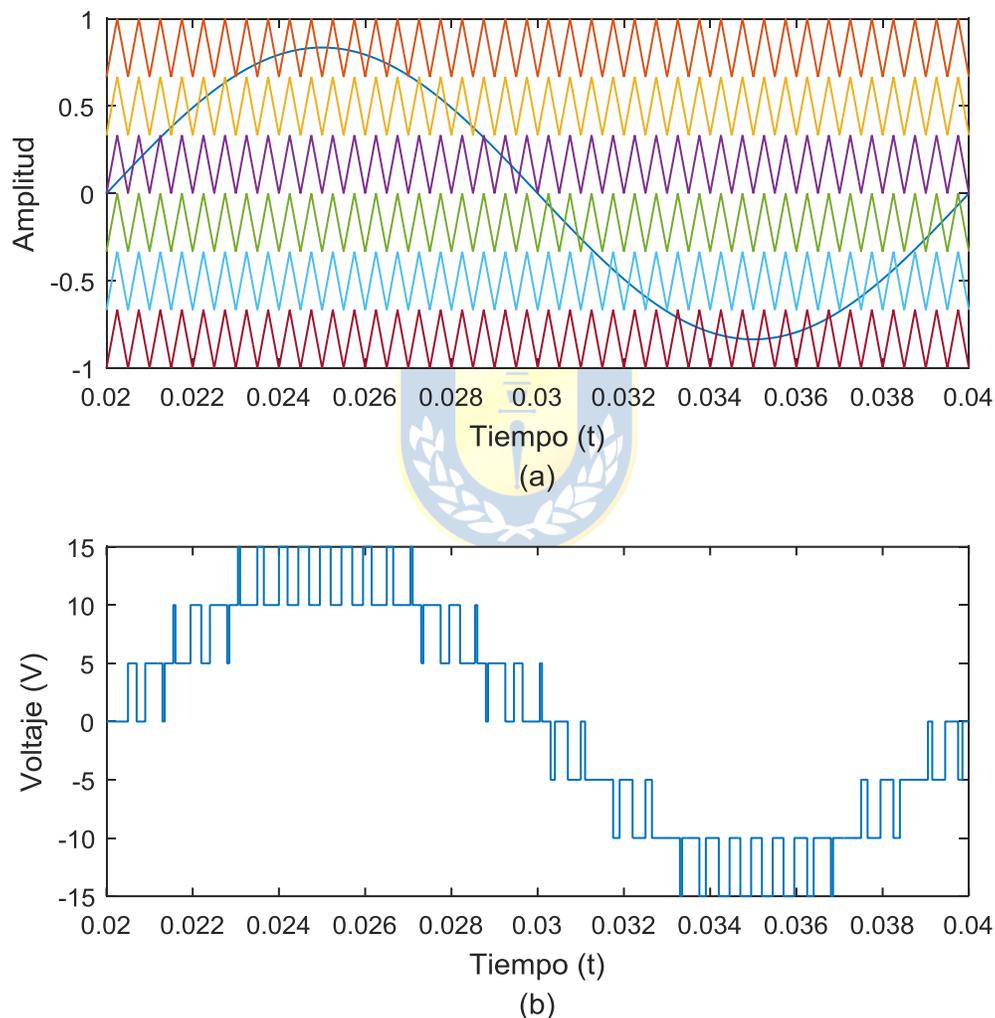


Fig. 5.10 Gráficos del Inversor para la modulación LS-PWM PD

(a) Comparación entre la Moduladora y las Portadoras, (b) Voltaje en la Salida del Inversor V_{ab}

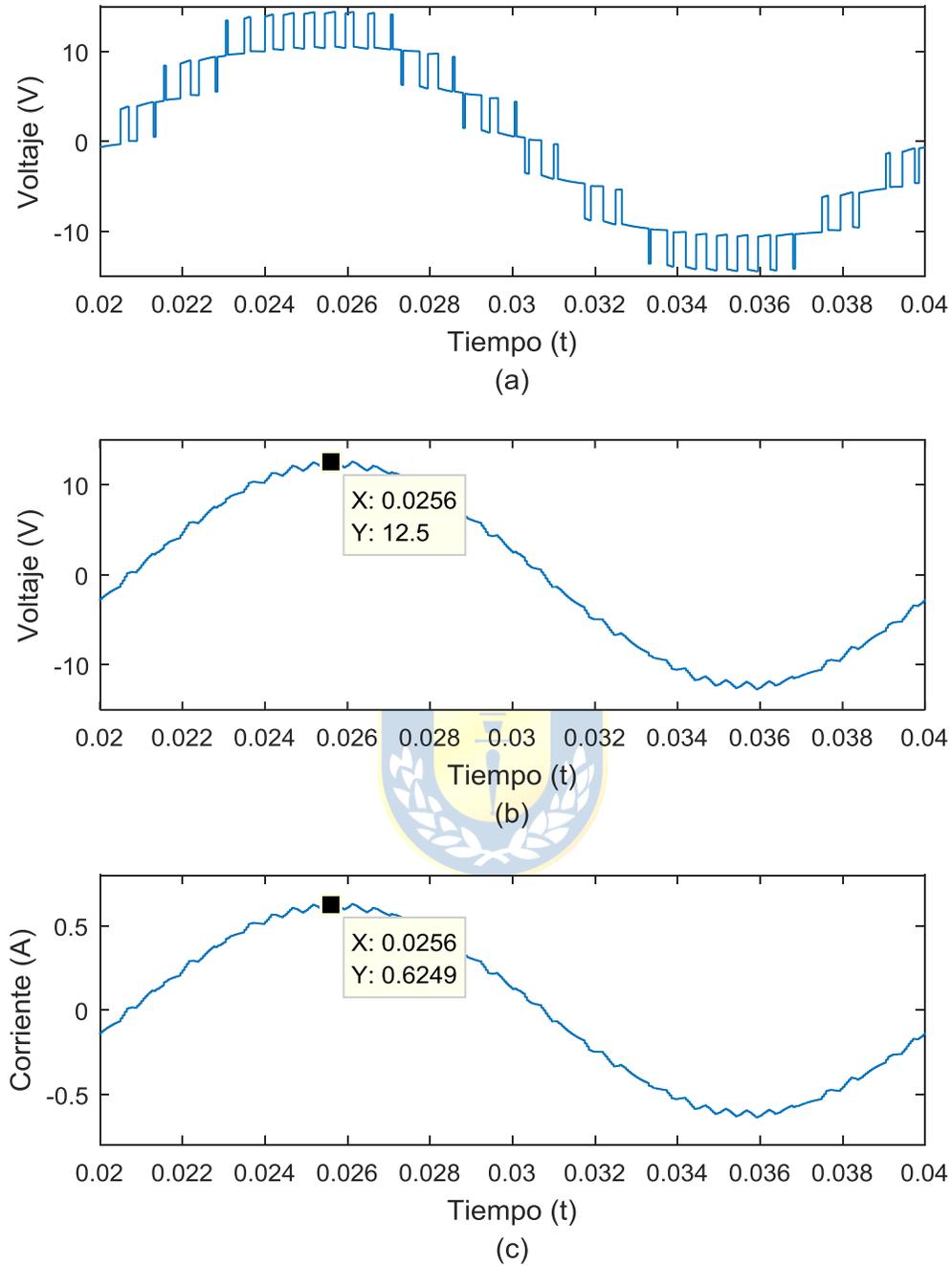


Fig. 5.11 Gráficos de la Carga para la modulación LS-PWM PD

(a) Voltaje en la Carga V_0 , (b) Voltaje de la Resistencia en la Carga, (c) Corriente en la Carga i_0

5.7.2 Phase Opposition Disposition (POD)

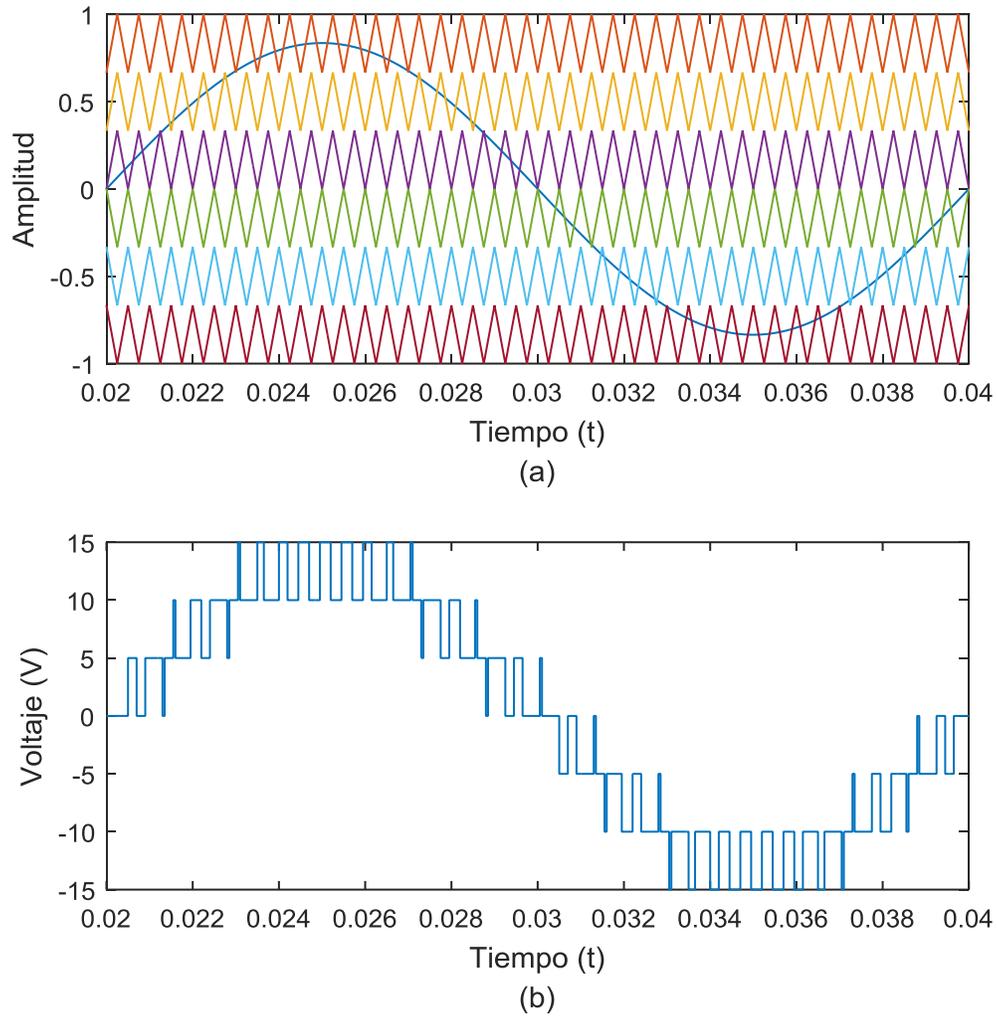


Fig. 5.12 Gráficos del Inversor para la modulación LS-PWM POD

(a) Comparación entre la Moduladora y las Portadoras, (b) Voltaje en la Salida del Inversor V_{ab}

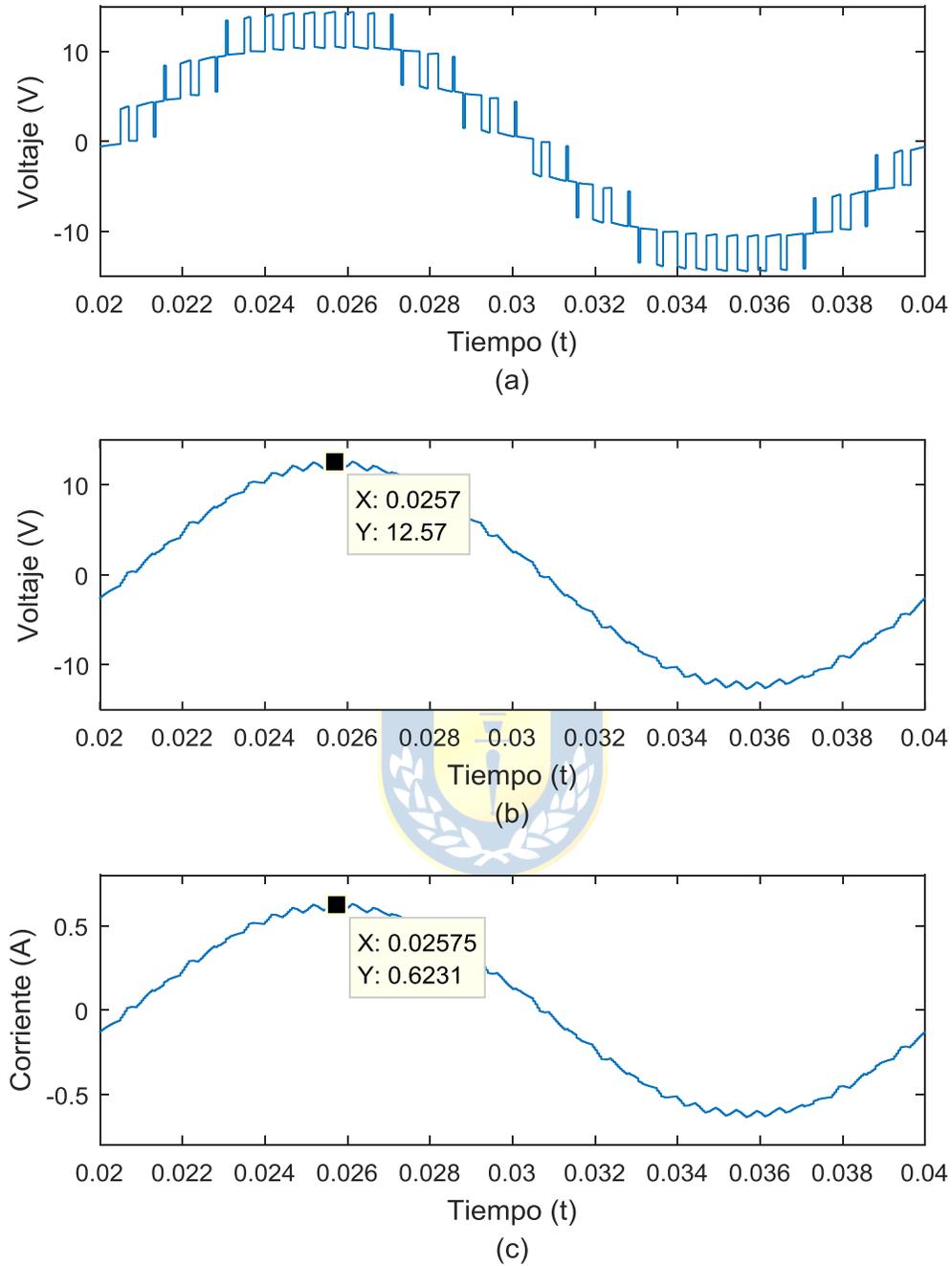


Fig. 5.13 Gráficos de la Carga para la modulación LS-PWM POD

(a) Voltaje en la Carga V_0 , (b) Voltaje de la Resistencia en la Carga, (c) Corriente en la Carga i_0

5.7.3 Alternative Phase Opposition Disposition (APOD)

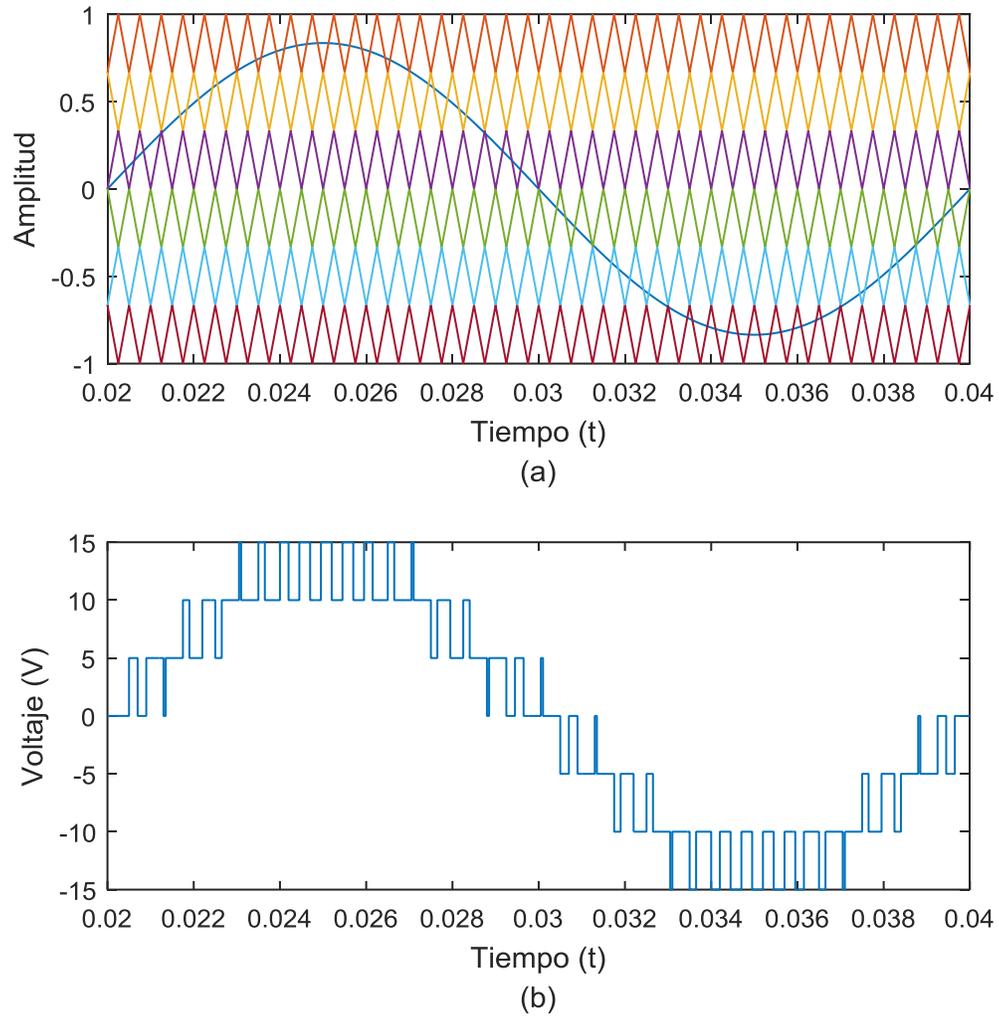


Fig. 5.14 Gráficos del Inversor para la modulación LS-PWM APOD

(a) Comparación entre la Moduladora y las Portadoras, (b) Voltaje en la Salida del Inversor V_{ab}

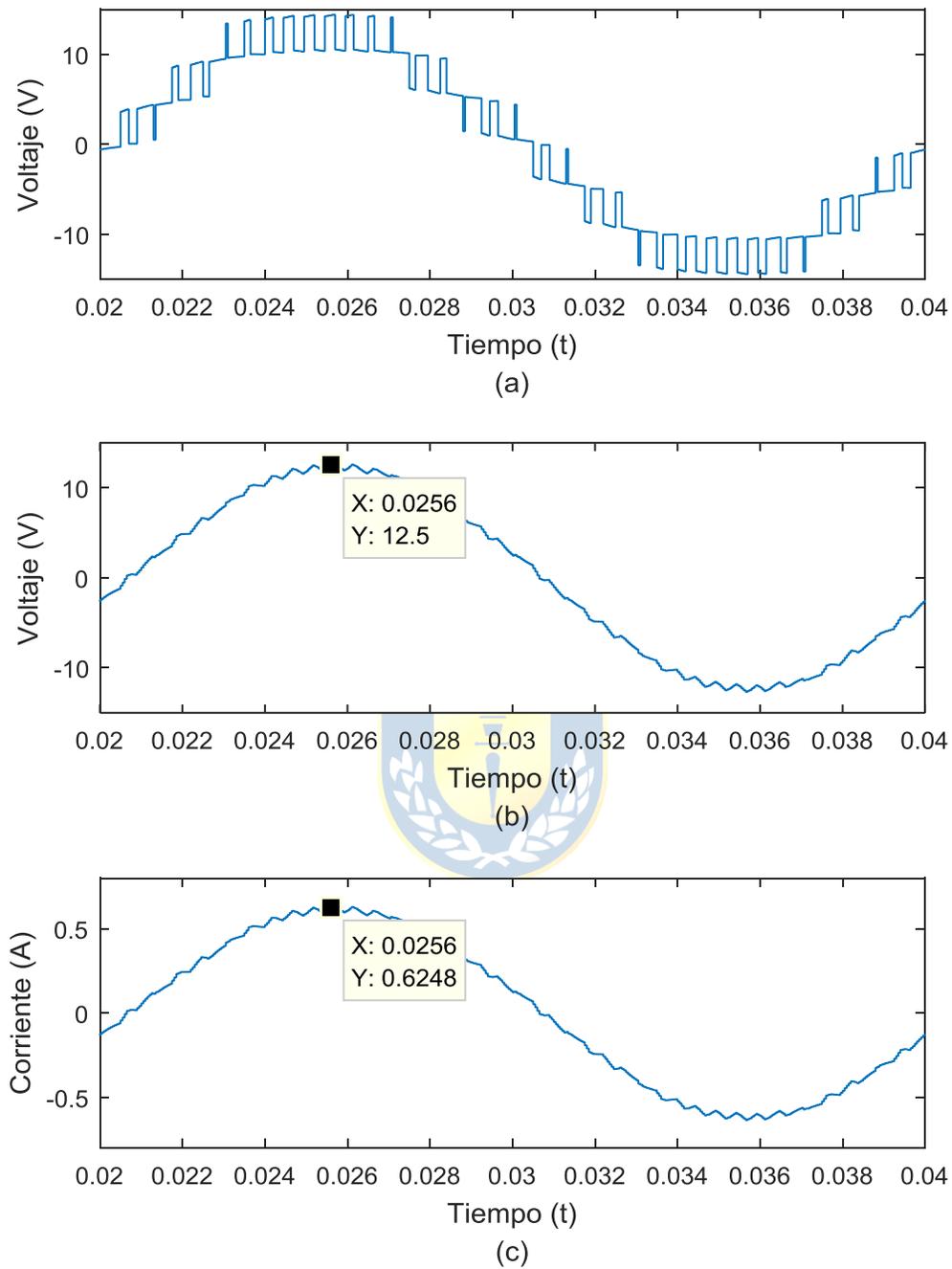


Fig. 5.15 Gráficos de la Carga para la modulación LS-PWM APOD

(a) Voltaje en la Carga V_0 , (b) Voltaje de la Resistencia en la Carga, (c) Corriente en la Carga i_0

Aquí se presenta el comportamiento de la corriente que pasa por las fuentes de voltaje V_1 y V_2 .

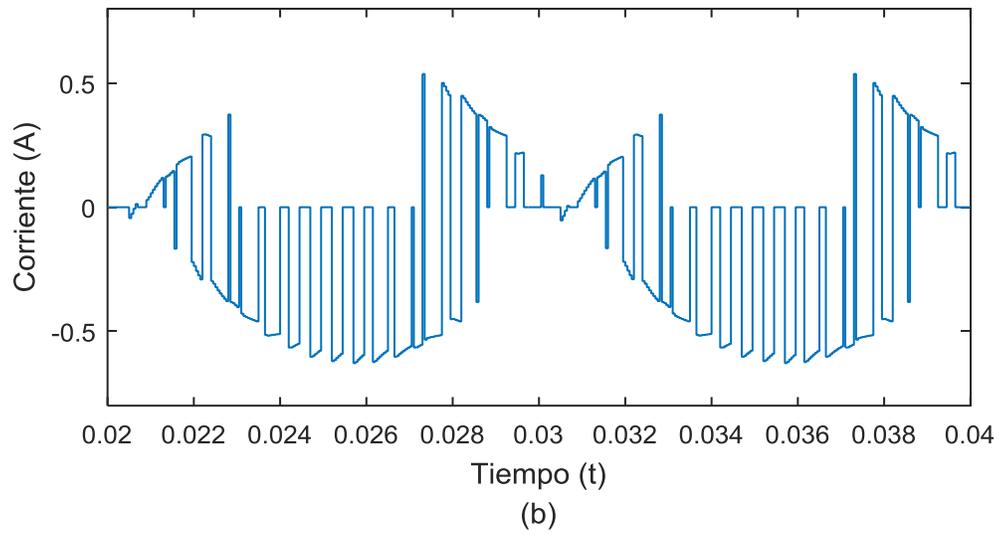
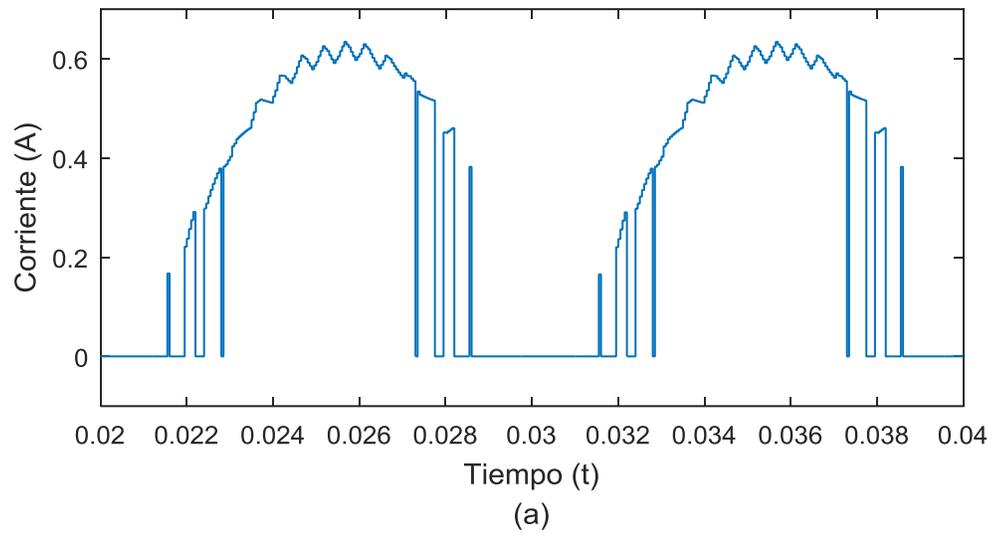


Fig. 5.16 Gráficos de las Corrientes que pasan por las Fuentes V_1 y V_2

(a) Corriente en la Fuente V_1 , (b) Corriente en la Fuente V_2

A través de PSIM, gracias a una de las opciones que trae el visor de mediciones Simview, se pudo calcular el THD de las formas de ondas de la corriente en la carga, obtenidas de las pruebas para las distintas modulaciones LS-PWM, a continuación, en la tabla 5.2 se pueden ver los valores obtenidos.

TABLA 5.3 THD de la i_0 para las Distintas Modulaciones Usadas.

Modulación	THD (i_0)
PD	2.583%
POD	2.554%
APOD	2.535%

5.8. Conclusiones

Finalmente, luego de la implementación de la simulación en lazo abierto, se obtienen los resultados de esta, representados por las últimas 6 figuras para cada tipo de modulación LS-PWM. Se puede ver de las figuras 5.10 (b), 5.12 (b) y 5.14 (b) que los voltajes de las salidas para los casos PD, POD y APOD respectivamente, forman una onda de 7 niveles que era lo que se buscaba en este diseño, se puede notar que estas 3 formas de onda son muy similares independiente de que el tipo de modulación usado tenga variaciones en los 3 casos, además como se pudo ver se obtuvo para los 3 casos de la moduladora LS-PWM un voltaje peak aproximado de 12.5[V] equivalente a 8.83[V] en valor rms, valor muy cercano a los 8.85[V] rms que se consideraron en los cálculos de diseño.

De las figuras 5.11, 5.13 y 5.15, se puede observar también que las formas de onda obtenidas para los voltajes en la resistencia de carga y de la corriente en la carga para los 3 casos de modulación LS-PWM presentan una forma muy sinusoidal con muy poco rizado, lo que afirma el buen desempeño del inversor PUC de 7 niveles y se pudo notar también que en las Fig. 5.11. (c), 5.13. (c) y 5.15. (c) se obtuvo una corriente peak aproximada de 0.62[A] equivalente a 0.44[A] en valor rms, que era el valor obtenido en la etapa diseño, por lo tanto, al comparar estas formas de onda para cada caso de modulación no se puede ver a simple vista cual es mejor ya que todas son muy parecidas.

A través de la tabla 5.3. se pueden observar los valores de THD para la corrientes en la carga i_0 para cada caso de modulación, aquí se puede notar que la estrategia PD es la que posee un mayor cantidad de distorsión armónica, por lo que se puede considerar que esta es la estrategia menos conveniente para el inversor PUC, en cuanto a la estrategia POD y APOD se puede ver que entre los dos el APOD posee un menor THD, por lo se puede considerar que este es el tipo de modulación más conveniente a utilizar en este convertidor.

De la figura 5.16. (a) se puede observar que el comportamiento de la corriente en la fuente V_1 tiende a cambiar bruscamente, lo que podría traer problemas al tratar de utilizar un panel solar como fuente de voltaje, esto debido a que el comportamiento de la corriente en un panel no puede cambiar a un determinado voltaje como se puede observar en la figura A.2. del Anexo A.

Luego, de la figura 5.16. (b) se puede observar que el comportamiento de la corriente en la fuente V_2 pasa a valores negativos en determinados instantes, debido a esto será necesario tener la precaución de utilizar un condensador bipolar para una implementación del inversor PUC con balanceo del voltaje en el condensador de bus DC.



Capítulo 6. Desarrollo del Control

6.1. Introducción

En esta parte del trabajo se analizará y desarrollará la estrategia de control mencionada en los trabajos [8,9], la cual está basada principalmente en un control PI con dos lazos en cascada, uno de voltaje y el otro de corriente.

6.2. Análisis Previo

Como se mencionó con anterioridad, para que el inversor PUC de 7 niveles pueda funcionar, el condensador que genera el voltaje V_2 , debe ser controlado a un voltaje fijo el cual corresponde a $1/3$ del voltaje V_1 generado por la fuente continua.

Hay que tener en cuenta que el modelo que representa el inversor presentado anteriormente en la ecuación (3.12), no es conveniente para realizar un control adecuado del inversor, debido a que este modelo presenta 3 entradas diferentes para la operación de los switches, las que son definidas como los ciclos de trabajo para cada par de switches (d_1, d_2, d_3), esto no es consistente con la idea del inversor PUC en donde los switches no funcionan por separado con ciclos de trabajo individuales, sino que se realiza la activación de estos en grupos de 3 para así poder dar una dirección determinada del flujo de la corriente a través de la carga, si los switches funcionaran con ciclos de trabajo por separado, los niveles de voltaje deseados y el orden de estos podrían no respetarse.

Es debido a esto que es conveniente utilizar solo una entrada para la operación de los switches la que será una señal modulada a través del PWM multicarrier lo que generará los pulsos requeridos por el grupo de switches dependiendo del nivel requerido en la salida basándose en la tabla de estados de conmutación presentada en la tabla 3.1 del capítulo 3.

Para poder lograr lo mencionado, se trabajará con un modelo simplificado del inversor PUC, el cual contará solo con una señal de entrada en vez de 3, la que será modulada a través del PWM multicarrier.

6.3. Lazos de Control

Para poder llevar a cabo el control, se utiliza una estrategia de control la cual se compone de dos lazos de control en cascada, un lazo de control externo de voltaje y un lazo de control interno de corriente.

En el diseño del controlador del inversor, se utilizarán las ecuaciones (3.9) y (3.10) que definen el sistema:

$$\frac{dV_2}{dt} = \frac{(S_c - S_b)i_0}{C} \quad (3.9)$$

$$\frac{di_0}{dt} = \frac{V_1}{L_f} S_a + \frac{V_1 - V_2}{L_f} S_b - \frac{V_2}{L_f} S_c - \frac{R_f}{L_f} i_0 - \frac{V_0}{L_f} \quad (3.11)$$

Con estas ecuaciones se realiza un modelo simplificado del inversor PUC el cual es utilizado en el diseño de los controladores de corriente y voltaje respectivamente.

El lazo de control de voltaje estará dado por una referencia V_2^* la cual corresponderá a 1/3 del voltaje V_1 el cual ira siendo comparado con el voltaje V_2 medido.

Basándose en la ecuación (3.9) del modelo del inversor, se tiene que el voltaje del condensador se relaciona con la corriente de carga, de aquí se puede definir una señal equivalente u_v como:

$$\begin{aligned} \frac{dV_2}{dt} &= \frac{(S_c - S_b)i_0}{C} \\ C \frac{dV_2}{dt} &= (S_c - S_b)i_0 \\ u_v &= C \frac{dV_2}{dt} = d_v i_s \end{aligned} \quad (6.1)$$

En donde la variable d_v depende de S_c y S_b , luego para el control del voltaje en el condensador se utilizará la señal del error $\tilde{V}_2 = V_2^* - V_2$ la cual ingresara al siguiente controlador PI para ser minimizada y donde la salida es u_v :

$$u_v = k_{pv} \tilde{V}_2 + k_{iv} \int \tilde{V}_2 dt \quad (6.2)$$

Luego la función de transferencia para este controlador de voltaje queda como:

$$G_v(s) = \frac{u_v(s)}{\tilde{V}_2(s)} = k_{pv} + \frac{k_{iv}}{s} \quad (6.3)$$

Esta función de transferencia se puede ver en la Fig. 6.1. a continuación:

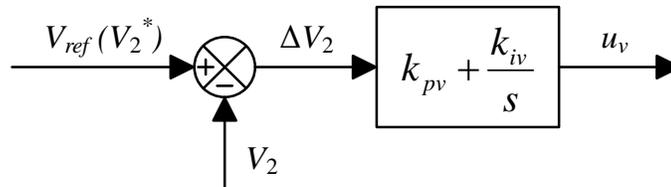


Fig. 6.1 Función de Transferencia del Controlador PI para la Variable V_2

La función de transferencia para el controlador de voltaje se obtuvo considerando la función de transferencia del inversor para la variable V_2 que se quiere controlar en este lazo, la cual se deriva de la ecuación (6.1) como sigue:

$$C \frac{dV_2}{dt} = d_v i_0$$

$$\frac{dV_2}{dt} = \frac{d_v i_0}{C} \quad (6.4)$$

Pasando esta ecuación a Laplace se tiene:

$$CsV_2 = d_v i_0 \quad (6.5)$$

Luego se obtiene la función de transferencia del inversor para la variable V_2 :

$$V_2 = \frac{d_v i_0}{Cs}$$

$$\frac{V_2}{d_v i_0} = \frac{1}{Cs} \quad (6.6)$$

Donde se tiene a V_2 como la salida y a $u_v = d_v i_0$ como la entrada, como se puede ver en la Fig. 6.2.:

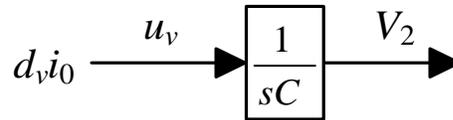


Fig. 6.2 Función de Transferencia del Inversor para la Variable V_2

Después de esto, se asigna la entrada de la función de transferencia de la Fig. 6.2., como la salida del controlador para el lazo de voltaje como se vio en la ecuación (6.3).

Como se pudo ver, la salida del lazo de control de voltaje, más precisamente del controlador PI, es la señal u_v , esta señal como se vio en la ecuación (6.1) es una señal de tipo corriente, además hay que tener en cuenta que el voltaje del condensador debe ser regulado a través de la carga y descarga de este por medio de la corriente que pasa por él.

La salida del controlador de voltaje u_v representa la amplitud de la corriente en la carga, la cual deberá ser multiplicada por una señal sinusoidal con amplitud unitaria, para que así esta señal sea utilizada como referencia en el lazo de corriente y pueda ser comparada con la señal de corriente en la carga medida. De esta forma el lazo de control de corriente estará dado por una referencia i_0^* la cual corresponderá a la salida del controlador de voltaje, la que ira siendo comparada con la corriente i_0 medida en la carga. Así esta corriente controlada será la que servirá para regular el voltaje del condensador al valor deseado.

Basándose en la ecuación (3.4) del modelo del inversor, se tiene el voltaje de inversor V_{ad} el cual puede ser representado en función del voltaje V_1 como:

$$\begin{aligned}
 V_{ad} &= (S_a - S_b)V_1 + (S_b - S_c)V_2 \\
 &= (S_a - S_b)V_1 + (S_b - S_c)\frac{V_1}{3} \\
 &= \left(S_a - \frac{2}{3}S_b - \frac{1}{3}S_c\right)V_1
 \end{aligned} \tag{6.7}$$

Luego, se puede considerar una señal a la que se llamará d_i la cual depende de las funciones de conmutación S_a , S_b y S_c para obtener una nueva ecuación de voltaje V_{ad} que solo dependerá de una señal:

$$V_{ad} = d_i V_1 \quad (6.8)$$

Esta nueva señal d_i es utilizada como entrada para la modulación PWM multiportadora y de esta manera poder generar los pulsos adecuados para los switches del convertidor, luego reemplazando la ecuación (6.8) en la ecuación (3.9), se obtiene la nueva ecuación de estado para la corriente en la carga del inversor:

$$\begin{aligned} V_0 &= d_i V_1 - R i_0 - L_f \frac{di_0}{dt} \\ \frac{di_0}{dt} &= \frac{d_i V_1}{L_f} - \frac{R_f}{L_f} i_0 - \frac{V_0}{L_f} \end{aligned} \quad (6.9)$$

Luego basándose en la nueva ecuación de estado (6.9) del modelo del inversor, se puede definir una señal equivalente u_i como:

$$\begin{aligned} V_0 &= d_i V_1 - R_f i_0 - L_f \frac{di_0}{dt} \\ L_f \frac{di_0}{dt} + R_f i_0 &= d_i V_1 - V_0 \\ u_i = L_f \frac{di_0}{dt} + R_f i_0 &= d_i V_1 - V_0 \end{aligned} \quad (6.10)$$



Entonces para el control de la corriente en la carga se utilizará la señal del error $\tilde{i}_0 = i_0^* - i_0$ la cual ingresará al siguiente controlador PI para ser minimizada y donde la salida es u_i :

$$u_i = k_{pi} \tilde{i}_0 + k_{ii} \int \tilde{i}_0 dt \quad (6.11)$$

Luego la función de transferencia para este controlador de corriente queda como:

$$G_i(s) = \frac{u_i(s)}{\tilde{i}_0(s)} = k_{pi} + \frac{k_{ii}}{s} \quad (6.12)$$

Esta función de transferencia se puede ver en la Fig. 6.3 a continuación:

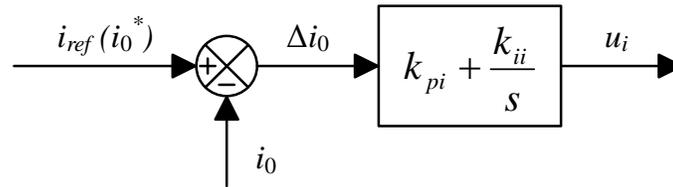


Fig. 6.3 Función de Transferencia del Controlador PI para la Variable i_0

La función de transferencia para el controlador de corriente se obtuvo considerando la función de transferencia del inversor para la variable i_0 que se quiere controlar en este lazo, la cual se deriva de la ecuación (6.9) como sigue:

$$\frac{di_0}{dt} = \frac{d_i V_1}{L_f} - \frac{R_f}{L_f} i_0 - \frac{V_0}{L_f} \quad (6.9)$$

Pasando esta ecuación a Laplace se tiene:

$$s i_0 = \frac{d_i V_1}{L_f} - \frac{V_0}{L_f} - \frac{R_f}{L_f} i_0 \quad (6.13)$$

Luego se obtiene la función de transferencia para la variable i_0 :

$$\begin{aligned} L_f s i_0 + R_f i_0 &= d_i V_1 - V_0 \\ i_0 (L_f s + R_f) &= d_i V_1 - V_0 \\ \frac{i_0}{d_i V_1 - V_0} &= \frac{1}{L_f s + R_f} \end{aligned} \quad (6.14)$$

Donde se tiene a i_0 como la salida y $u_i = d_i V_1 - V_0$ como la entrada como se puede ver en la Fig. 6.4:

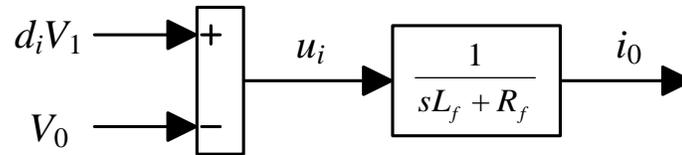


Fig. 6.4 Función de Transferencia del Inversor para la Variable i_0

Después de esto, se asigna la entrada de la función de transferencia de la Fig. 6.4., como la salida del controlador para el lazo de corriente como se vio en la ecuación (6.12).

Como se pudo ver, la salida del lazo de control de corriente, más precisamente del controlador PI, es la señal u_i , esta señal es utilizada para obtener la señal d_i mencionada con anterioridad a partir de la ecuación (6.10):

$$d_i = \frac{u_i + V_0}{V_1} \quad (6.15)$$

Posteriormente esta señal d_i se utilizará como la referencia de voltaje la cual ingresará a la modulación SPWM con múltiple portadora como se había mencionado anteriormente.

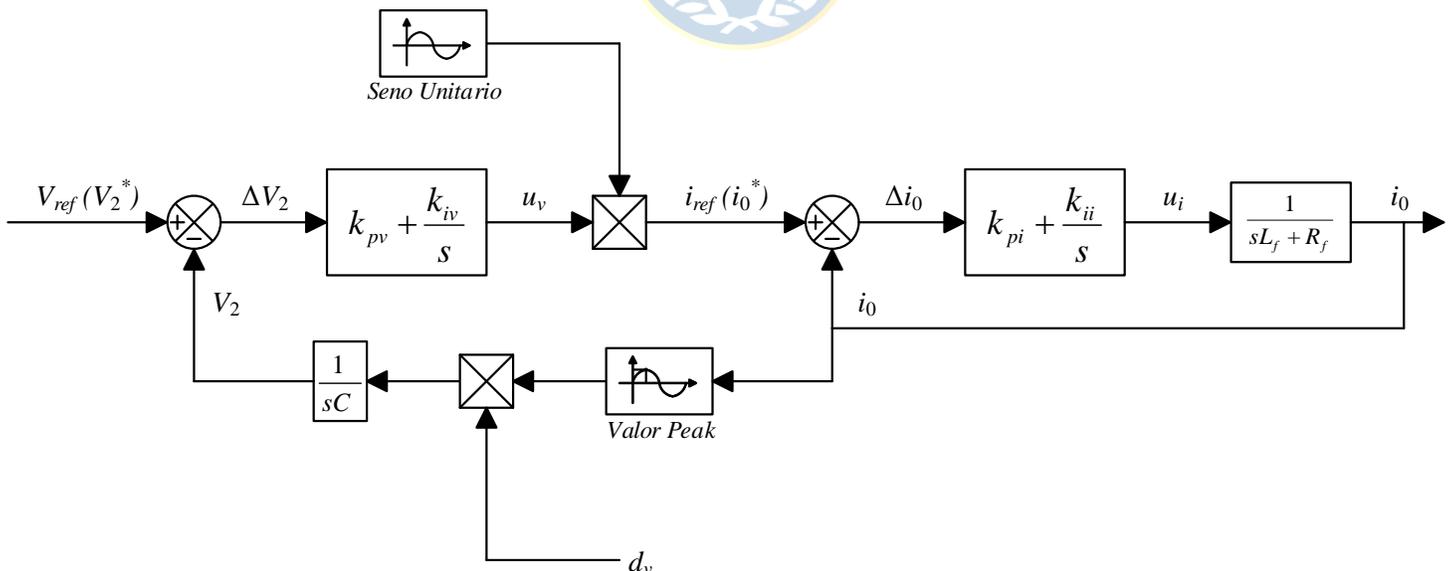


Fig. 6.5 Diagrama en Bloques del Control en Cascada para el Inversor PUC

Otro aspecto importante a considerar es que el lazo interno de corriente trabaja con una dinámica más rápida que el lazo externo de voltaje, por lo que para asegurar un buen control del convertidor se debe asegurar que se cumpla esta condición, de este modo para el ajuste de los controladores, las ganancias del lazo interno de corriente deben ser mayores que las del lazo de externo de voltaje.

En la Fig. 6.5. se puede ver la representación mediante diagrama en bloques del control del inversor PUC utilizando las ecuaciones (6.6) y (6.14) del convertidor y las ecuaciones (6.3) y (6.12) de los controladores PI para el lazo de voltaje y corriente respectivamente.

Además, en la Fig. 6.6. se puede observar un esquema que representa la implementación del control en cascada con la estructura del convertidor.

6.4. Conclusiones

Como se vio en este capítulo, primero se realizó un análisis acerca del modelo del convertidor para poder emplear una estrategia de control que se adecuara de buena forma al funcionamiento que tiene el inversor PUC de 7 niveles, aquí se tomó la decisión de trabajar con un modelo simplificado el cual solo utilizara con una señal de entrada para la modulación del convertidor, y no 3 ciclos de trabajo para cada par de switches como se vio en el modelo del inversor obtenido del capítulo 3.

Luego se presentó un análisis junto con los cálculos respectivos para el diseño de los lazos de control en cascada de voltaje y de corriente, se tomaron en cuenta las consideraciones mencionadas en un principio y se mostró la nueva ecuación de estado para la corriente que solo trabaja con una señal, la cual es obtenida a la salida del control y enviada a la estrategia de modulación PWM multicarrier para la obtención de los pulsos de switcheo que son enviados al convertidor.

Al final del capítulo se pueden ver las representaciones del control diseñado, a través de diagramas en bloques y de un esquema que muestra el convertidor con el control implementado.

Capítulo 7. Simulación en Lazo Cerrado

7.1. Introducción

En este capítulo se muestra el desarrollo de la simulación en lazo cerrado para el inversor PUC de 7 niveles, se implementa el control desarrollado en el capítulo anterior en donde considera el control del condensador que representa el voltaje V_2 y los cálculos de este. Finalmente se exponen algunas graficas que muestran los resultados de la implementación de la simulación.

7.2. Cálculo del Condensador

A continuación, se realiza el cálculo del condensador C que actuará como bus DC secundario en el inversor, este será controlado para mantener un voltaje fijo equivalente a $1/3$ de la fuente V_1 .

El condensador se define a través de la siguiente ecuación:

$$C \frac{dV_c}{dt} = i_c \quad (7.1)$$

En donde C es el valor de la capacidad del condensador, V_c es el valor del voltaje que contiene el condensador, y i_c la corriente que pasa por este. Esta ecuación se puede definir de la siguiente manera:

$$i_c = C \frac{\Delta V_c}{T} \quad (7.2)$$

Donde se considerará un ΔV_c en un determinado tiempo T , luego la ecuación para el condensador queda como:

$$C = \frac{i_c \cdot T}{\Delta V_c} \quad (7.3)$$

Como parámetros de diseño para este condensador, se considerará la corriente i_c como el valor máximo que pasara por la corriente de la carga, es decir su valor peak, T se considerara como el

periodo de la portadora utilizada en la modulación y para ΔV_c se quiere que este no tenga cambios superiores a los 0.3[V].

Del capítulo 5 se obtuvo que la corriente en la carga i_{0rms} es de 0.44[A], por lo que la corriente peak en la carga debe ser:

$$i_{0peak} = 0.44 \cdot \sqrt{2} = 0.62[\text{A}] \quad (7.4)$$

Además, se había considerado utilizar una frecuencia para la portadora f_p de 2000[Hz] por lo que el periodo T_p debe ser:

$$T_p = \frac{1}{2000} = 0.5[\text{ms}] \quad (7.5)$$

Luego haciendo uso la ecuación (7.3) se tiene que el valor del condensador a utilizar es de:

$$C = \frac{0.62 \cdot 0.5 \cdot 10^{-3}}{0.3} = 1[\text{mF}] \quad (7.6)$$

Los valores obtenidos se resumen en la siguiente tabla:

TABLA 7.1 Valores del Condensador y sus Parámetros.

Parámetro	Valor
C (Condensador Bus DC)	1 mF
ΔV_c (Cambio de Voltaje)	0.3 V
i_{0peak} (Corriente de Salida Peak)	0.62 A
T_p (Periodo Portadora)	0.5 ms

7.3. Simulación del circuito del Inversor

Similar a lo visto en el capítulo 5, para el desarrollo de la parte que tiene que ver con el circuito del inversor, se utilizaron las librerías Power y Sources y Other de PSIM, de aquí se usaron los siguientes elementos:

- 1 Fuentes de Voltaje DC (DC Voltage Source (DC)).
- 1 Condensador (Capacitor)
- 6 Transistores IGBT (Insulated Gate Bipolar Transistor (IGBT) switch).
- 1 Resistencia para la carga RL (Resistor).
- 1 Inductor para la carga RL (Inductor).
- 1 Resistencia para la resistencia de filtro (Resistor).
- 1 Inductor para la inductancia de filtro (Inductor).
- 3 Sensores de Voltaje (Voltage Sensor).
- 1 Sensor de Corriente (Current Sensor).

A diferencia del esquema de simulación para el circuito desarrollado en el capítulo 5, aquí se agregan tres sensores de voltaje y un sensor de corriente, para así poder enviar las señales V_1 , V_2 , V_0 e i_0 a la parte de control.

En la Fig. 7.1. se puede ver la simulación para el circuito del inversor implementada en PSIM.

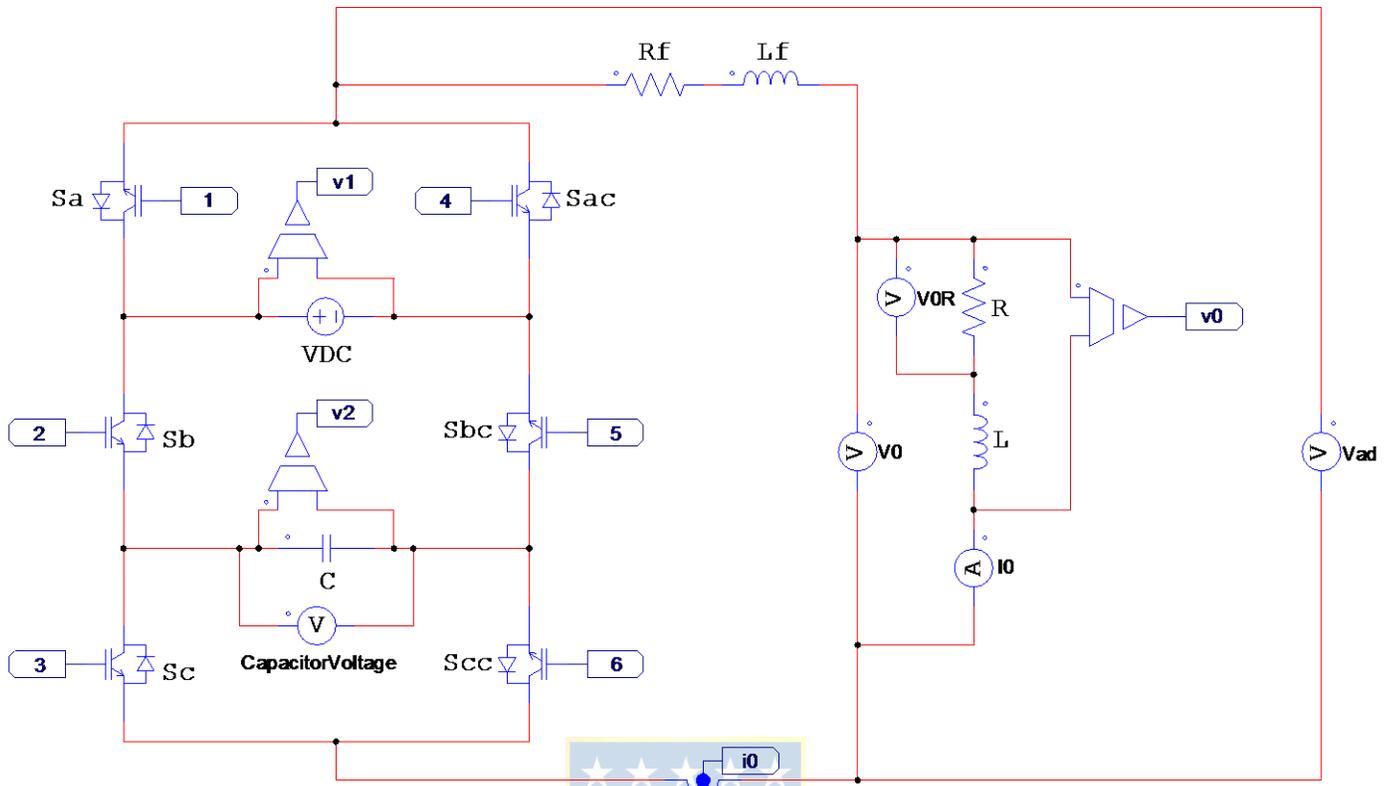


Fig. 7.1 Circuito del Inversor con Control Implementado en PSIM

7.4. Simulación de la Modulación del Inversor

Para el desarrollo de la parte que tiene que ver con la modulación del inversor, se utilizaron las librerías Sources y Control de PSIM, los elementos de interés que se usaron aquí son:

- 6 Generadores de Ondas Triangulares (Triangular-wave voltage source (Triangular)).
- 8 Comparadores de Señal (Comparator).
- 6 Fuentes de Voltaje DC (DC Voltage Source (DC)).
- 8 Sumadores de Señal (Summer).
- 6 Multiplicadores de Señal (Multiplier)

A diferencia de la modulación desarrollada en el capítulo 5, aquí la señal de referencia no viene dada por un generador de ondas sinusoidales, si no que proviene de la salida del control realizado.

En la Fig. 7.2. se puede ver la simulación para la modulación del inversor implementada en PSIM.

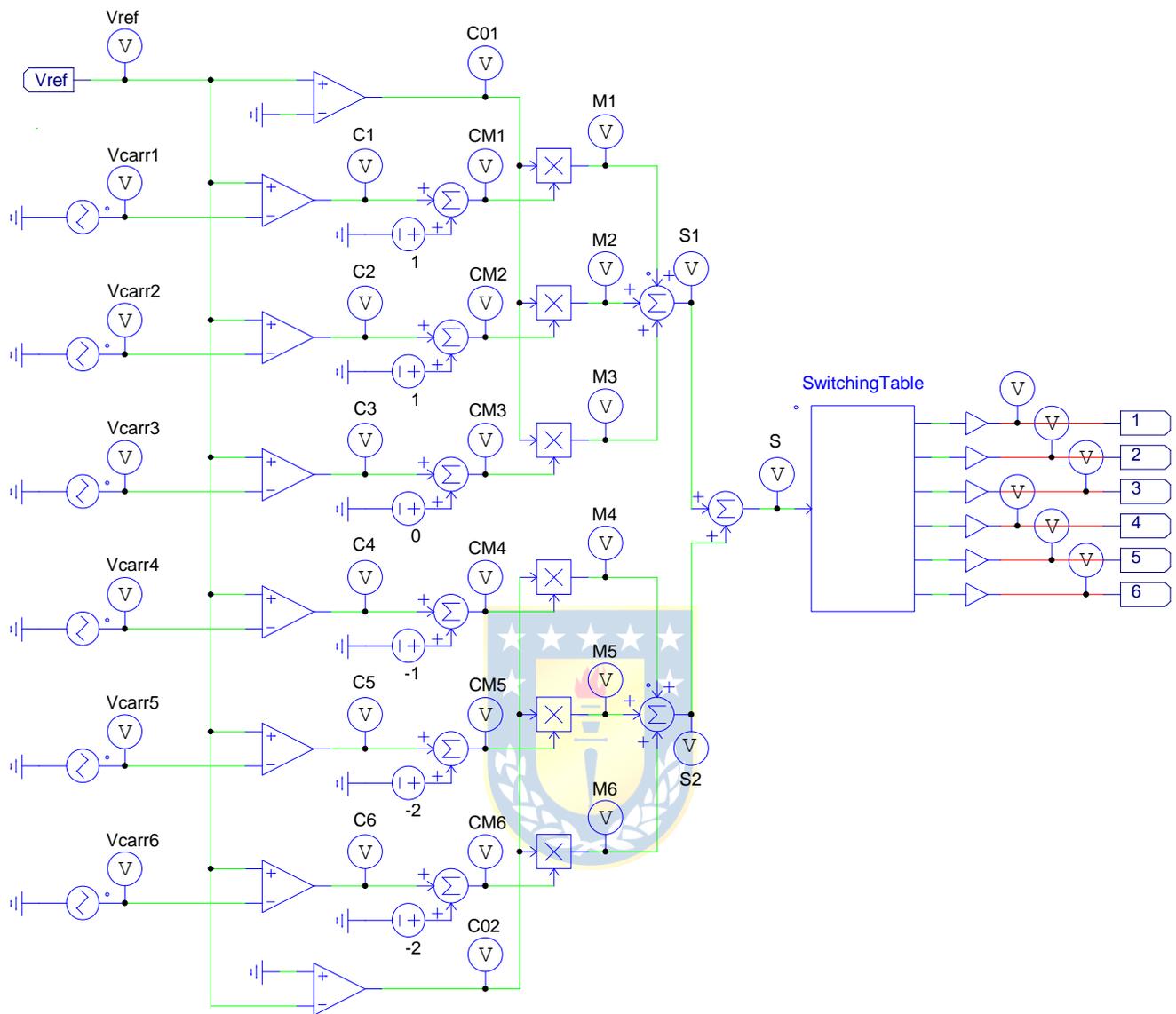


Fig. 7.2 Modulación del Inversor con Control Implementada en PSIM

7.5. Simulación del Control del Inversor

Para el desarrollo de la parte que tiene que ver con el control del inversor, se utilizaron las librerías Sources y Control de PSIM, los elementos de interés que se usaron aquí son:

- 1 Ganancia (Proportional).
- 2 Bloques de Control PI (Proportional-integral (PI) controller).
- 3 Sumadores de Señal (Summer).
- 1 Multiplicador de Señal (Multiplier)
- 1 Generador de Onda Sinusoidal (Sinusoidal voltage source (Sine)).
- 1 Divisor de Señal (Divider)

En la Fig. 7.3. se puede ver la simulación para la modulación del inversor implementada en PSIM.

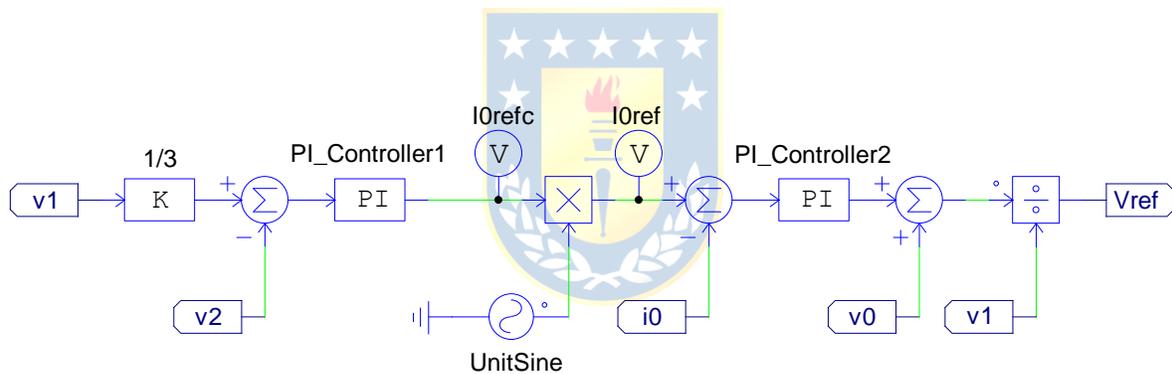


Fig. 7.3 Control del Inversor Implementado en PSIM

7.6. Resultados de la Simulación

A continuación, se presentan los resultados de las simulaciones para la implementación con control:

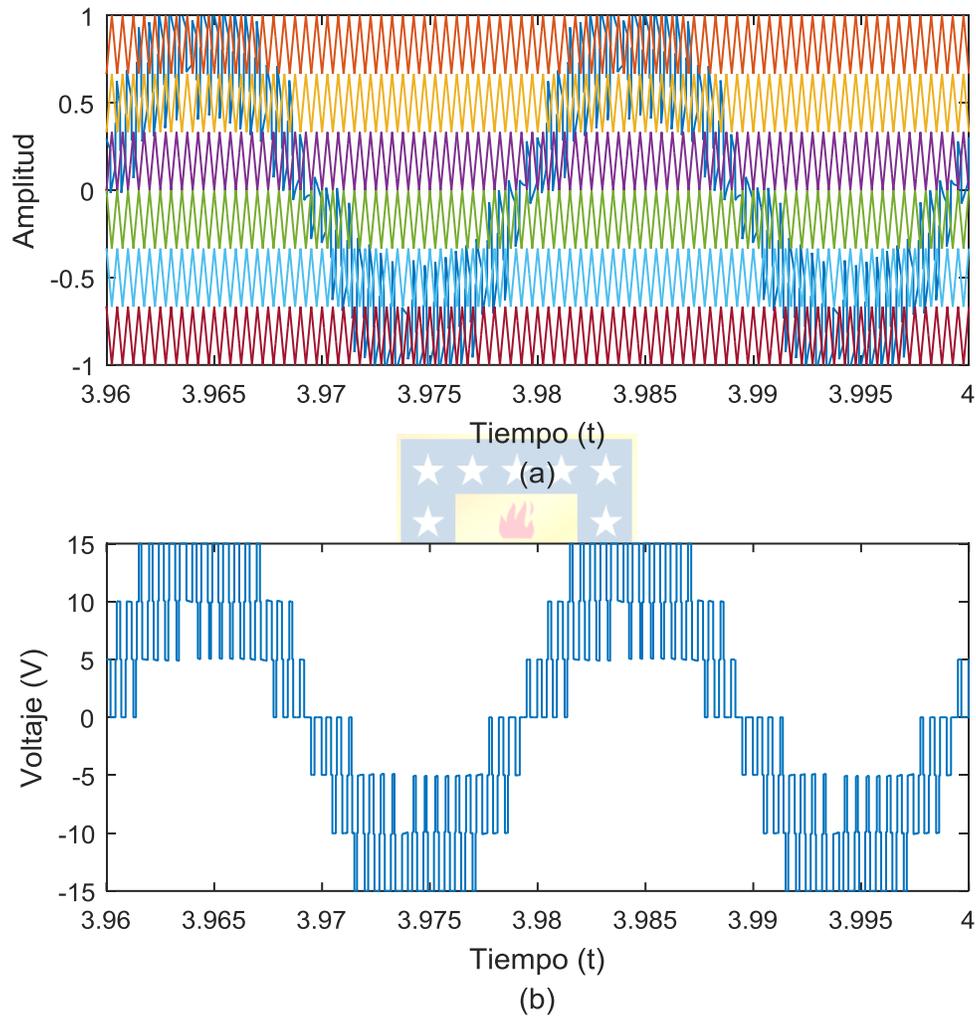


Fig. 7.4 Gráficos del Inversor para la Implementación con Control

(a) Comparación entre la Moduladora y las Portadoras, (b) Voltaje en la Salida del Inversor V_{ab}

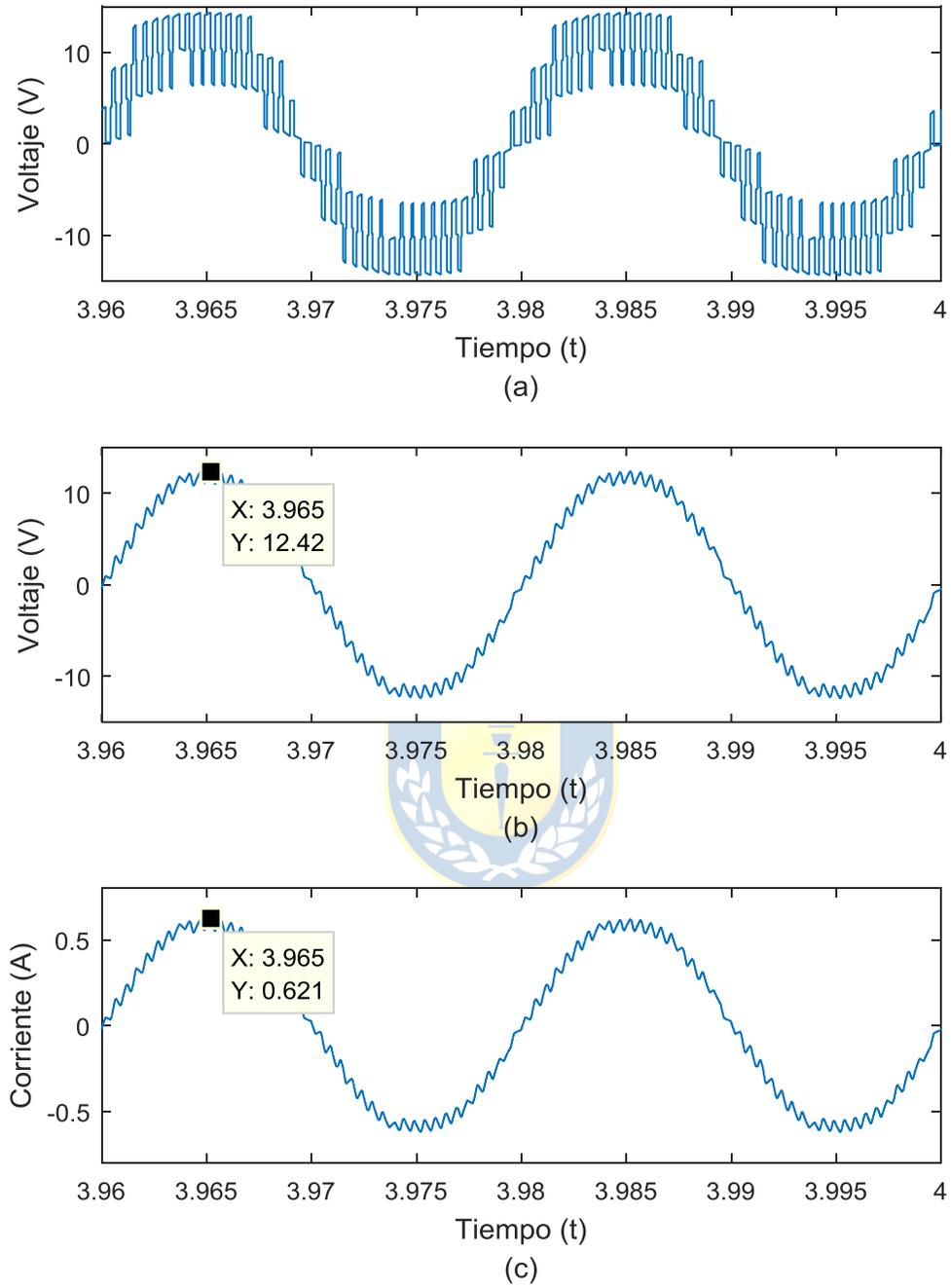


Fig. 7.5 Gráficos de la Carga para la Implementación con Control

(a) Voltaje en la Carga V_0 , (b) Voltaje de la Resistencia en la Carga, (c) Corriente en la Carga i_0

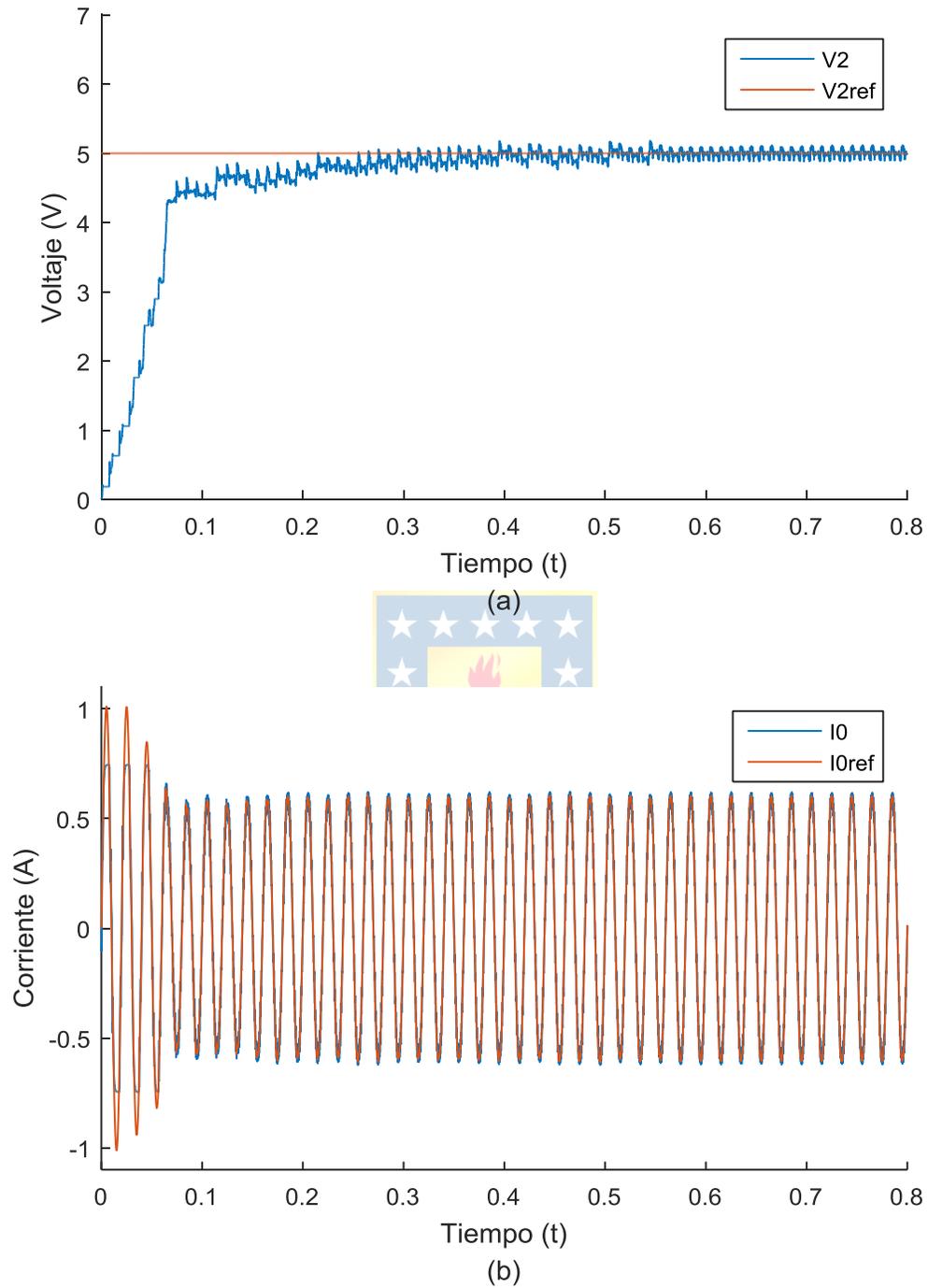


Fig. 7.6 Señales a Controlar en la Implementación con Control

(a) Voltaje en el condensador V_2 , (b) Corriente en la Carga i_0

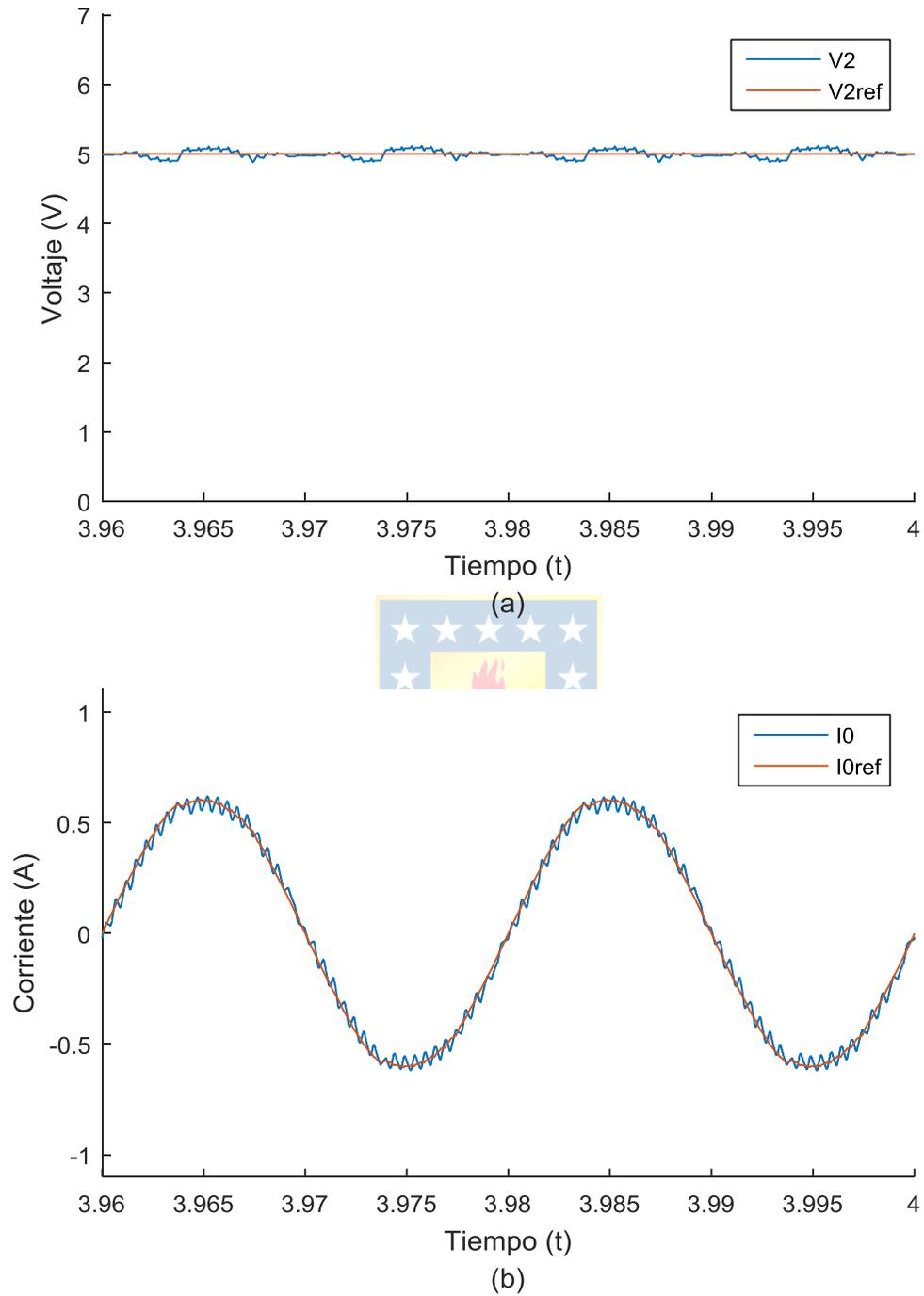


Fig. 7.7 Zoom de las Señales a Controlar en la Implementación con Control

(a) Zoom Voltaje en el condensador V_2 , (b) Zoom Corriente en la Carga i_0

7.7. Conclusiones

De las pruebas en simulación en lazo cerrado con control en el condensador de bus DC, también se obtuvieron resultados satisfactorios, ya que se logró generar una forma de onda de voltaje en la salida de 7 niveles como se puede ver de la Fig. 7.4. (b). Se puede notar para la Fig. 7.5., el voltaje peak y la corriente peak arrojaron 12.42[V] y 0.62[A] valores muy similares a los obtenidos en la etapa de implementación sin control incluido realizada en el capítulo 5.

De la Fig. 7.5., se puede observar también que las formas de onda obtenidas para el voltaje en la resistencia de carga y de la corriente en la carga presentan una forma sinusoidal, pero con algo más de ripple en comparación con la simulación sin control, esto debido a la señal de referencia de voltaje obtenida de la etapa de control, como se pudo observar en la Fig. 7.4 (a), esta señal de referencia cuenta con mucho ripple, a pesar de que como se pudo ver en las Fig. 7.6. y 7.7. el control de los lazos de voltaje y de corriente funcionaba correctamente con buen seguimiento de las referencias, este ripple se podría deber quizás a la constante carga y descarga de voltaje que pasa el condensador de bus DC y probablemente pueda ser mejorado con una mejor sintonización de los controladores. A pesar de todo, la referencia cumple su objetivo y logra generar los pulsos de switcheo a la salida de la modulación.

Finalmente, en la Fig. 7.6 se puede ver el funcionamiento del controlador en su totalidad ya que aquí se observan las dos variables que se controlan con los dos lazos, que son el voltaje del condensador V_2 y la corriente en la carga i_0 . Se puede ver que en la Fig. 7.6 (a) el voltaje del condensador se demora poco tiempo en llegar a estado estacionario alrededor de los 0.55[s], además se puede ver que para llegar a estado estacionario no se produce sobrepaso, también como se puede ver en la Fig. 7.7 (a) en donde se muestra un zoom de esta señal, la variación de voltaje respecto a la referencia es muy pequeña, todo esto confirma el buen diseño del lazo de voltaje. Por último se puede ver que en la Fig. 7.6 (b) la corriente de la carga se demora poco tiempo alrededor de los 0.2[s] en salir del transiente y seguir de buena forma la referencia dada por la salida del lazo externo de voltaje, a pesar de que son 2 ondas sinusoidales las que se comparan a través de un control PI se puede ver que el control funciona y se produce un buen seguimiento de la señal de referencia como se puede observar en la Fig. 7.7 (b) en donde se muestra un zoom de esta señal, lo que reafirma también el buen diseño del lazo de corriente. Por lo que de las pruebas de simulación con control se puede concluir que el inversor PUC de 7 niveles puede funcionar con solo una fuente de voltaje gracias a la estrategia de control implementada.

Capítulo 8. Implementación en Laboratorio

8.1. Introducción

En este capítulo se muestra el desarrollo de la implementación en laboratorio para el inversor PUC de 7 niveles. Se mencionan los equipos y componentes utilizados y para que fue utilizado cada uno de estos en el armado de la implementación. Luego muestran los resultados y se mencionan las apreciaciones finales en cuanto al funcionamiento de la implementación.

8.2. Equipos y Componentes

En el desarrollo del inversor multinivel se utilizaron los siguientes equipos y componentes:

DSP TI F28335

Para la generación de las señales de los pulsos enviados a los distintos switches de inversor PUC, se utilizó la DSP TI F28335 de Texas Instrument, aquí se programó la simulación de la modulación PMW multicarrier con la ayuda del generador de códigos SimCoder [20] proporcionado por la herramienta de simulación de circuitos PSIM y con la ayuda del entorno de desarrollo integrado Code Composer Studio.

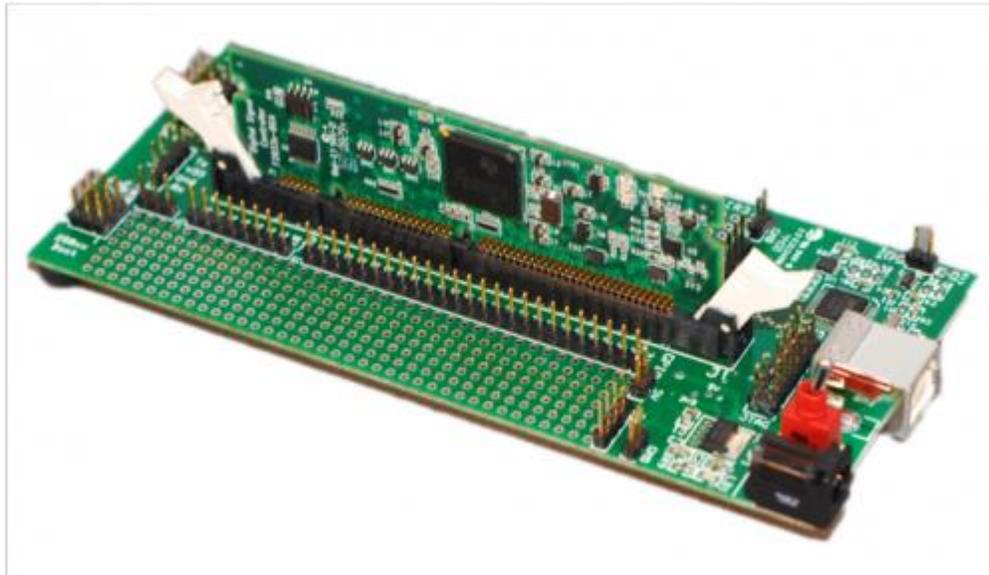


Fig. 8.1 DSP TI F28335 de Texas Instruments

Piernas Inversor de Voltaje

Para la elaboración de la topología de circuito inversor, se utilizaron piernas de inversor de voltaje fabricadas en el LCDA, las que se componen principalmente de 2 transistores IGBT modelo IRG4BC20FD y un receptor para señal de fibra óptica que es por donde ingresan las señales de disparo de los IGBT.

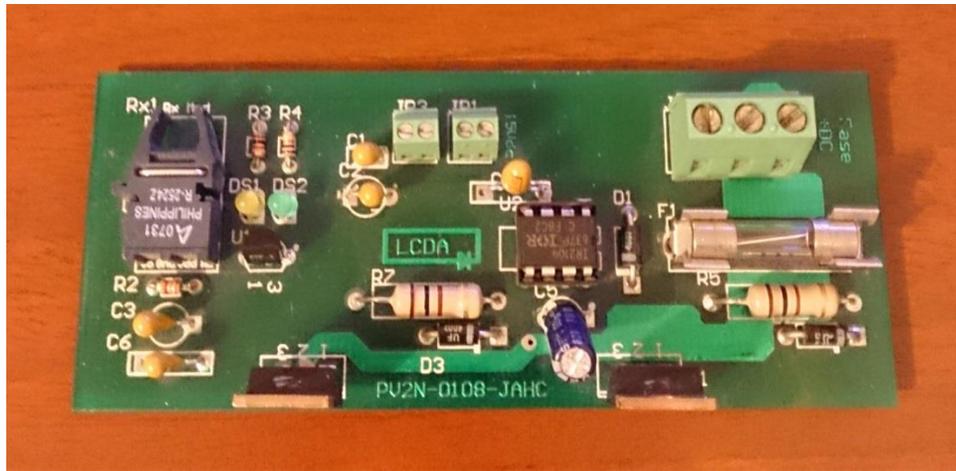


Fig. 8.2 Pierna Inversor de Voltaje fabricada en el LCDA

Convertor de Señales Ópticas

Para poder enviar las señales de disparo obtenidas de la DSP, hacia las piernas de voltaje, es necesario que estas sean convertidas en señales ópticas, para eso se utilizó el convertor de señales ópticas mostrado en la Fig. 8.3. el cual fue fabricado en el LCDA.

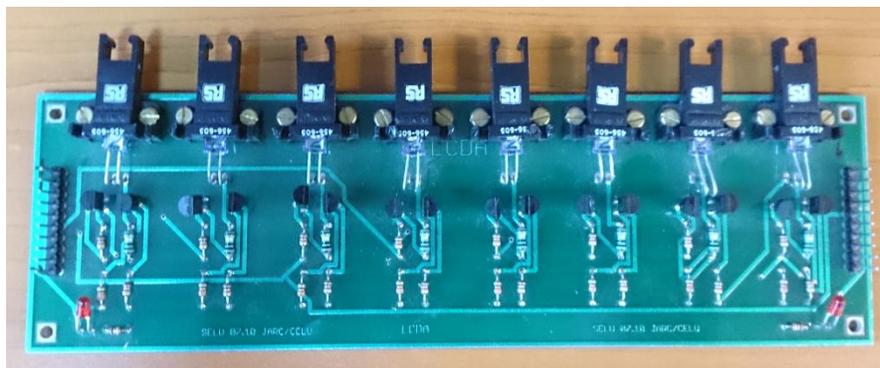


Fig. 8.3 Convertor de Señales Ópticas fabricado en el LCDA

Fuentes de Voltaje

Para la entrada de voltaje continuo, se utilizaron 2 fuentes de voltaje DC de la marca Mastech modelo HY3005 con capacidad de 30[V] y 5[A].



Fig. 8.4 Fuente Voltaje Mastech HY3005

Inductor

Para la inductancia presente en la carga se utilizó el inductor de la Fig. 8.5. el cual puede entregar distintos valores de inductancia dependiendo de donde se haga la conexión en su bornera.

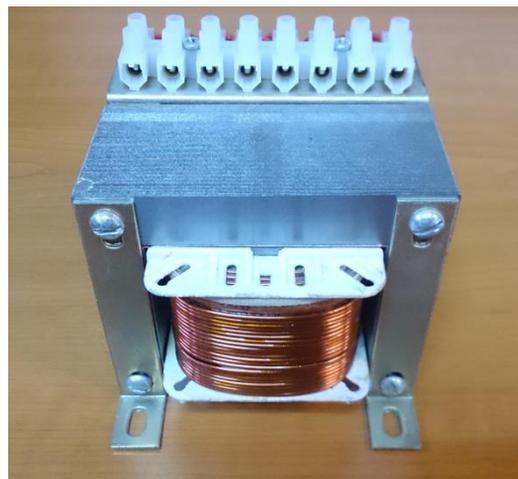


Fig. 8.5 Inductor

Reóstato

Para la resistencia presente en la carga se utilizó el reóstato de la Fig. 8.6. el cual entrega una resistencia máxima de $22[\Omega]$.



Fig. 8.6 Reóstato

Finalmente, en la Fig. 8.7. se puede ver el set-up final del inversor PUC de 7 niveles funcionando.

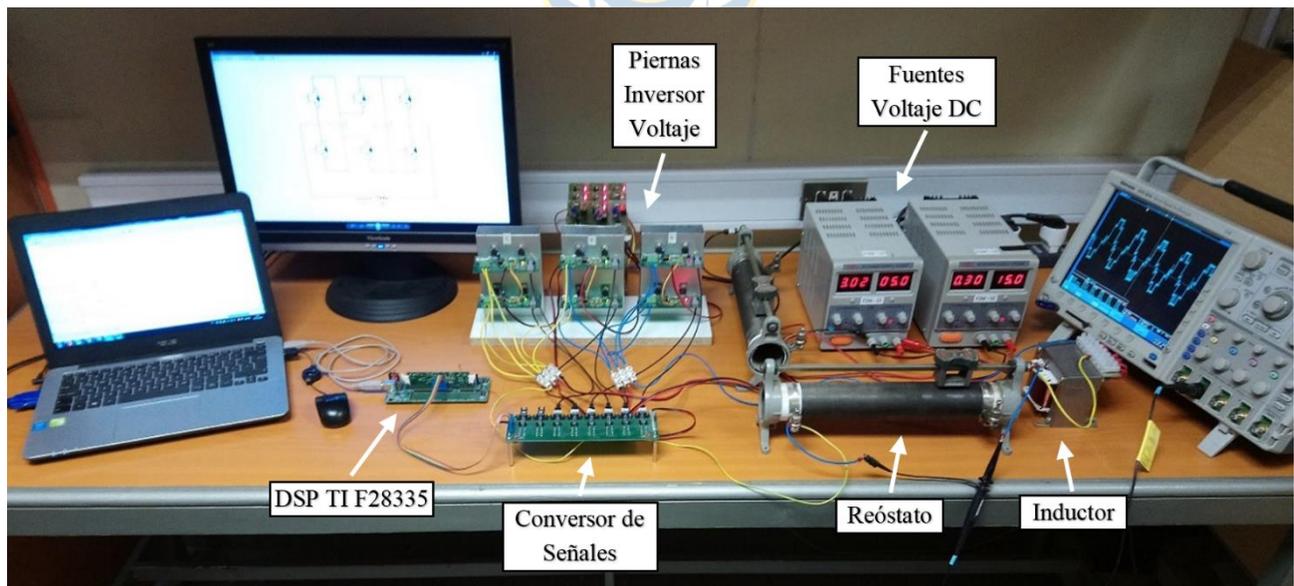


Fig. 8.7 Set-Up del Inversor PUC de 7 Niveles Implementado en Laboratorio

8.3. Armado

Para la parte del desarrollo de la modulación y la generación de las señales de switcheo del inversor, se utilizó la simulación para la modulación realizada en el capítulo 5 en la Fig. 5.2., aquí se generó el código para programar la DSP con la ayuda del complemento adicional SimCoder que provee el software PSIM, SimCoder tiene la capacidad de generar un código automáticamente a partir del esquema de la simulación el que es compatible con el modelo de DSP TI F28335 utilizado en esta implementación, este código posteriormente es compilado por Code Composer Studio para ser enviado a la DSP, luego las señales de switcheo que salen de la DSP fueron convertidas de señales eléctricas a ópticas, con la ayuda del conversor de señales ópticas para así poder ingresar a las piernas del inversor y de esta forma poder realizar el respectivo switcheo de estas.

Para la parte del circuito del convertidor, se utilizaron las piernas de voltaje, las que fueron conectadas a la carga compuesta por un inductor y un reóstato.

8.4. Resultados de la Implementación

Luego de finalizar todo el armado y hacer funcionar el inversor PUC, se realizó con ayuda de un osciloscopio la medición de las señales correspondientes al switcheo de los pares de switchs S_a y S'_a , S_b y S'_b , S_c y S'_c las cuales se pueden ver en las Fig. 8.8., 8.9. y 8.10. respectivamente:

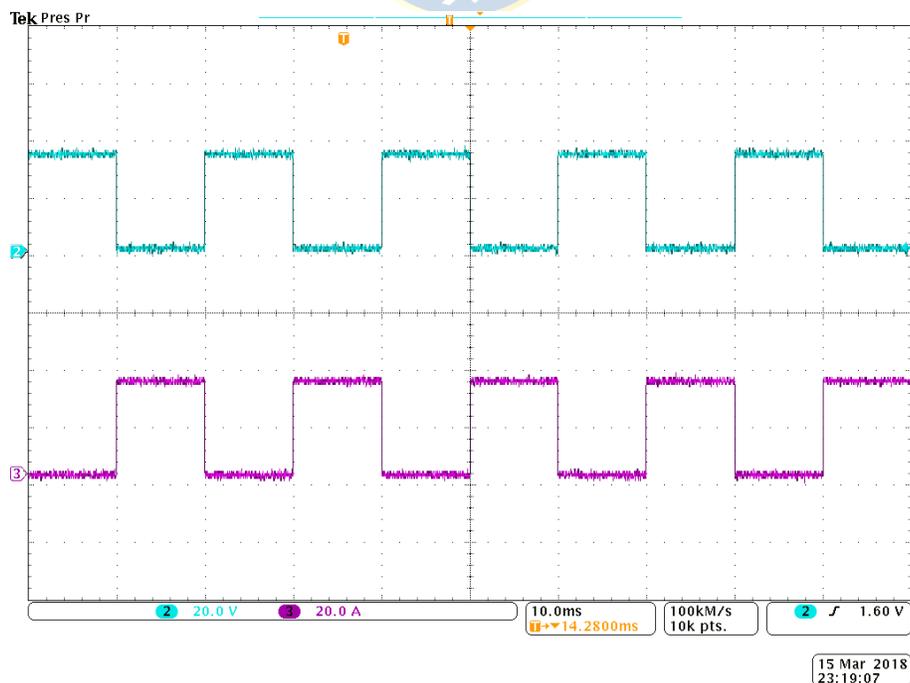


Fig. 8.8 Señales de Switcheo S_a y S'_a

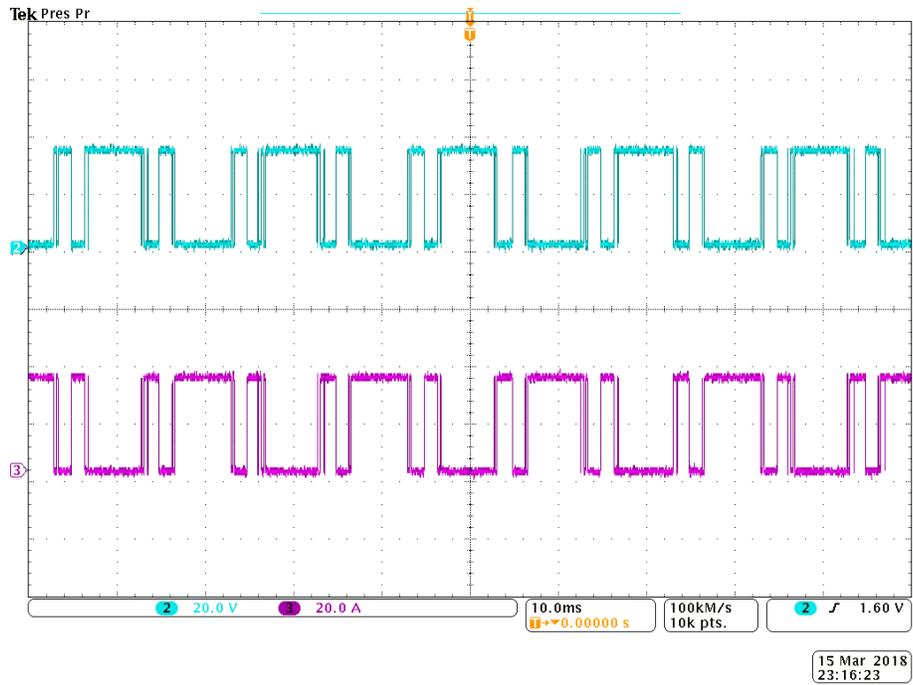


Fig. 8.9 Señales de Switcheo S_b y S'_b

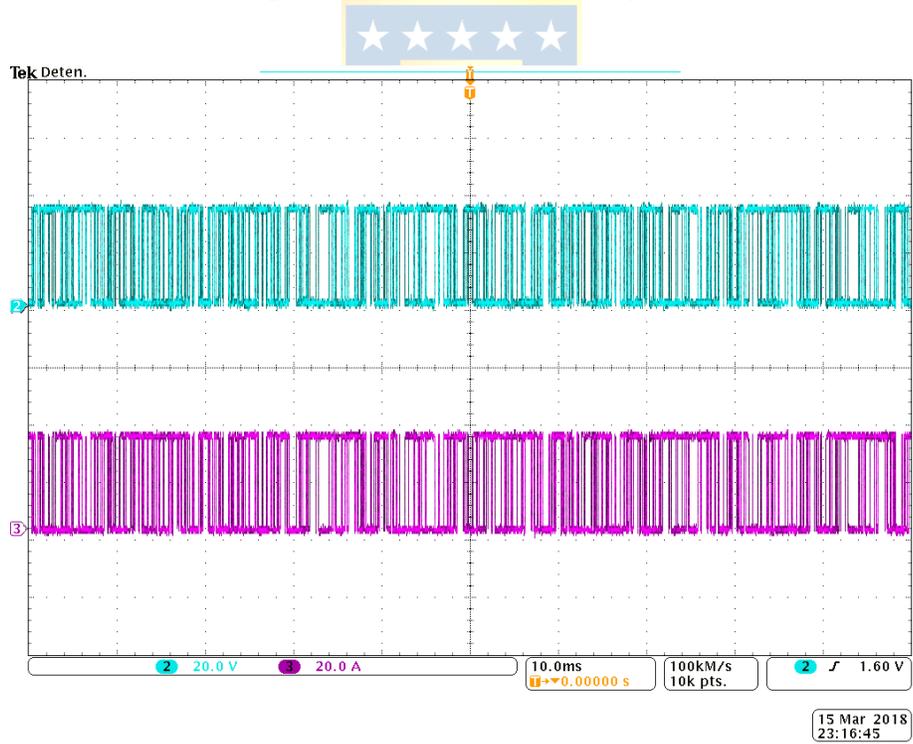


Fig. 8.10 Señales de Switcheo S_c y S'_c

Además, se realizó la medición de la señal correspondiente al voltaje en la carga como se puede ver en las Fig. 8.11. y 8.12.:

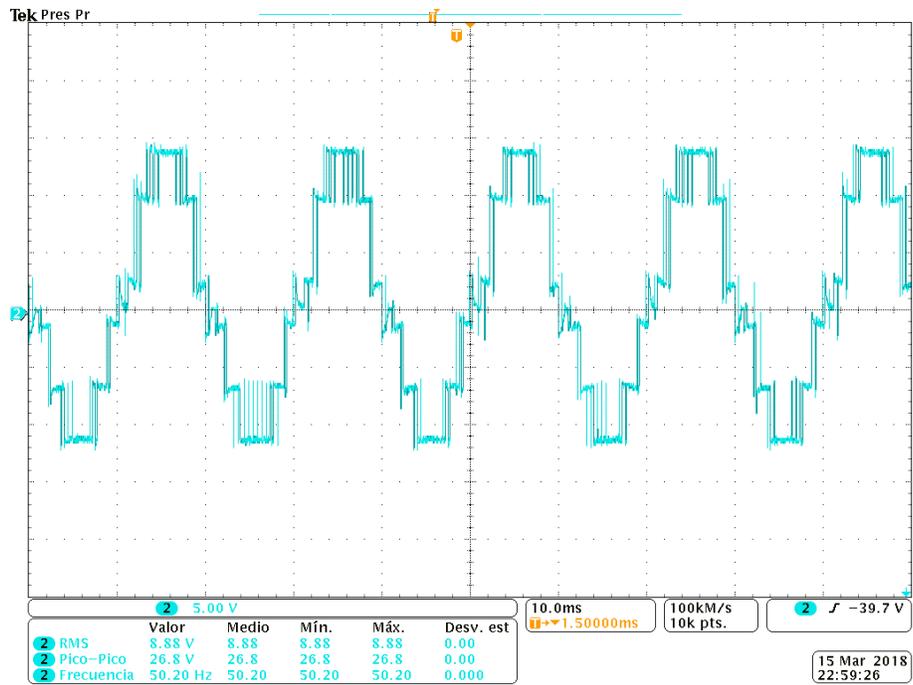


Fig. 8.11 Señal de Voltaje en la Carga

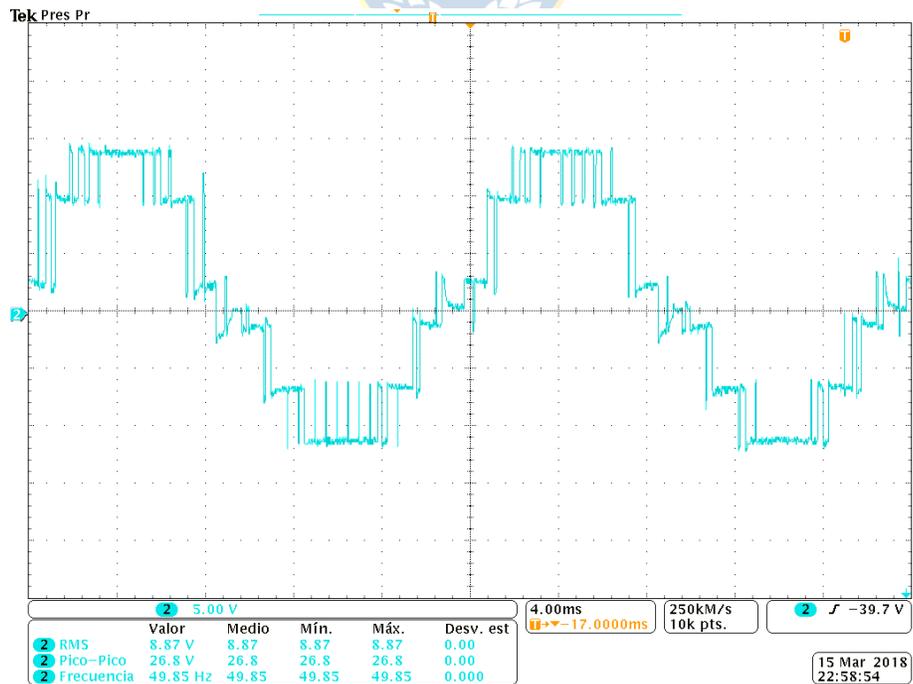


Fig. 8.12 Zoom de la Señal de Voltaje en la Carga

También se realizó la medición de la señal de voltaje en la resistencia de la carga como se puede ver en las Fig. 8.13. y 8.14.:

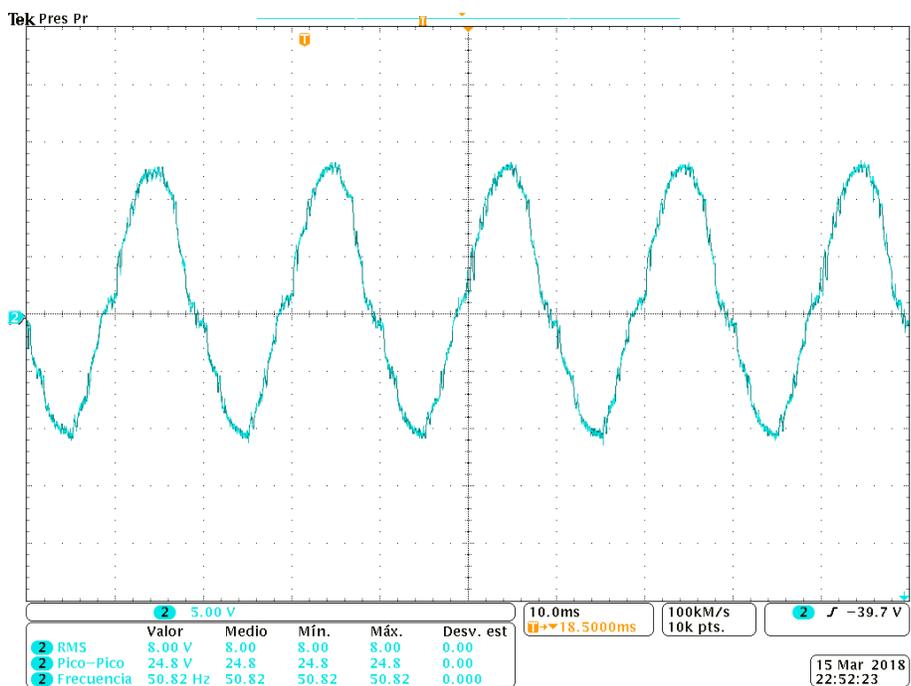


Fig. 8.13 Señal de Voltaje de la Resistencia en la Carga

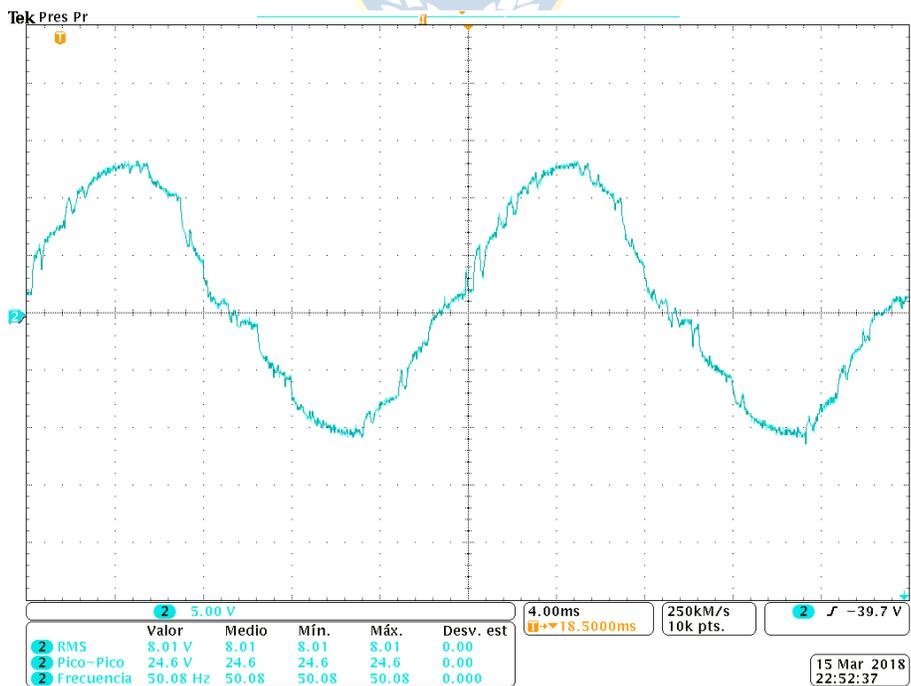


Fig. 8.14 Zoom de la Señal de Voltaje de la Resistencia en la Carga

8.5. Conclusiones

Finalmente, tras llevar a cabo la implementación del inversor PUC de 7 niveles y después de muchas pruebas, se pudieron obtener resultados satisfactorios. En primera instancia se logró programar adecuadamente la DSP obteniendo las señales de switcheo mostradas en las Fig. 8.8., 8.9. y 8.10. muy similares a las generadas en el capítulo 5 en la Fig. 5.9. para la parte de la simulación.

Además, se logró cumplir el objetivo más importante que era obtener una señal de voltaje 7 niveles como se puede ver en la Fig. 8.11. y 8.12. en donde se muestra el voltaje a la salida del inversor. En las Fig. 8.13. y 8.14. se puede observar el voltaje en la resistencia de la carga, con las medidas arrojadas por el osciloscopio se obtuvo un voltaje peak de 12.3 [V], valor muy cercano al voltaje peak de 12.5 [V] registrado durante la simulación sin control realizada en el capítulo 5, además de esto se puede ver que la señal de voltaje tiene una frecuencia de 50 [Hz] como se esperaba. Por lo que se puede decir que la implementación del inversor PUC de 7 niveles realizada en laboratorio si funciona.



Capítulo 9. Comparación entre Topologías Multinivel de 7 Niveles

9.1. Introducción

En este capítulo se busca realizar una comparación entre las topologías multinivel conocidas [1-3] vistas en el capítulo 2 con la topología estudiada en este trabajo [7-10], dando énfasis en la cantidad de componentes que utiliza cada una, se mostraran las estructuras de todas las topologías y se añadirá el cálculo de los componentes mediante las ecuaciones vistas anteriormente donde m es igual al número de niveles.

9.2. Estructuras de las Topologías de Inversores para 7 Niveles

Aquí se tiene presentan las estructuras de los inversores vistos en este trabajo para el caso de 7 niveles, se utilizan las ecuaciones para el cálculo de los elementos de cada convertidor donde m corresponde al número de niveles.

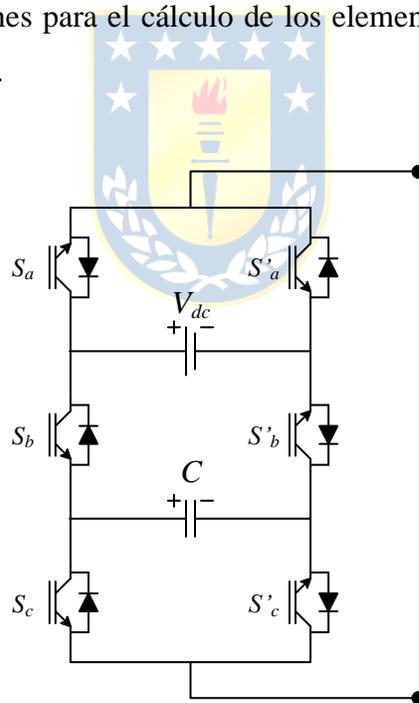


Fig. 9.1 Inversor PUC de 7 Niveles

Elementos de Bus DC:

$$E_{dc} = \log_2(m+1) - 1 = \log_2(7+1) - 1 = 2 \quad (9.1)$$

Switches:

$$S_w = \log_2(m+1) \cdot 2 = \log_2(7+1) \cdot 2 = 6 \quad (9.2)$$

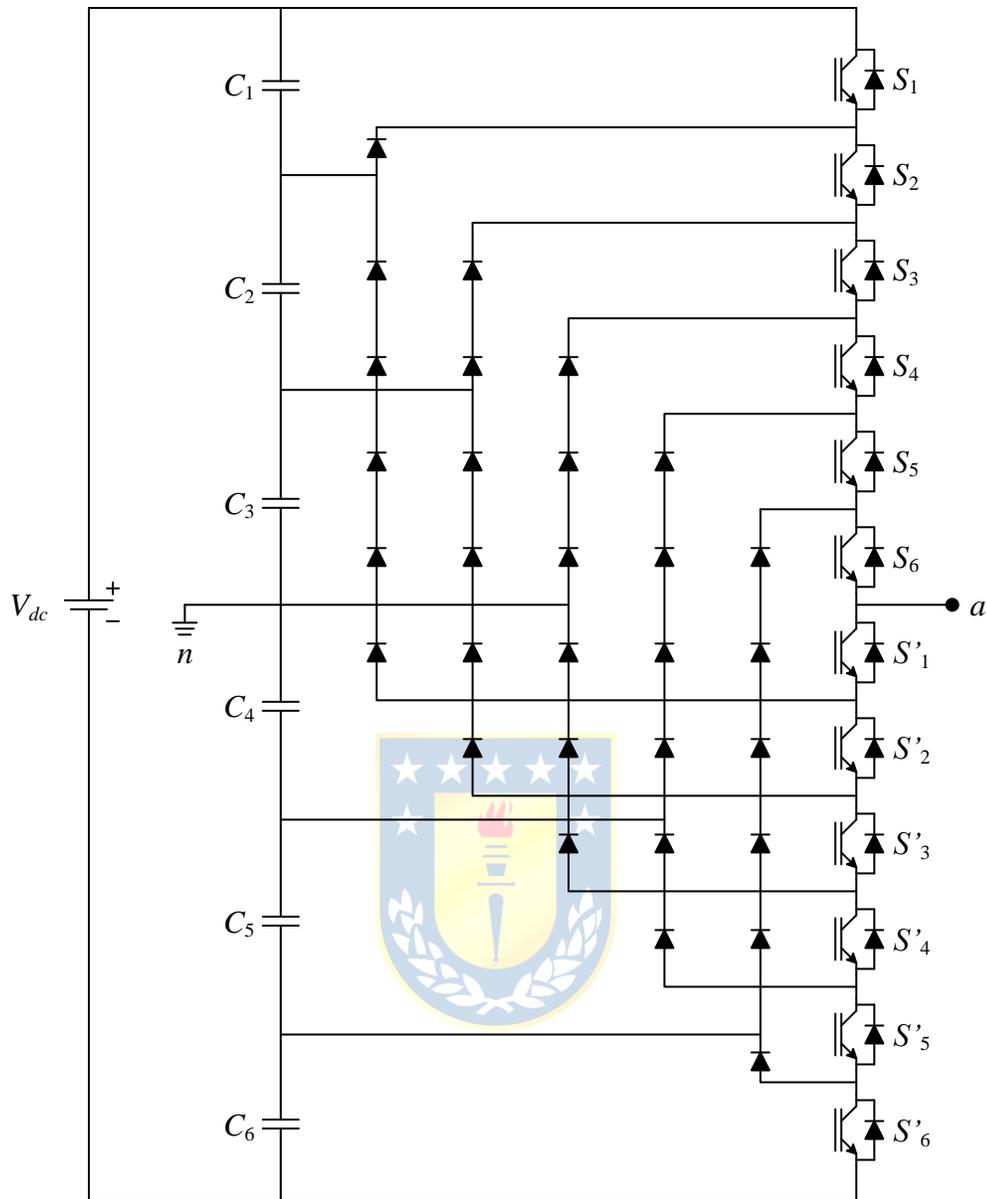


Fig. 9.2 Inversor NPC de 7 Niveles

Condensadores de Bus DC:

$$C_{dc} = (m - 1) = (7 - 1) = 6 \quad (9.3)$$

Switches:

$$S_w = (m - 1) \cdot 2 = (7 - 1) \cdot 2 = 12 \quad (9.4)$$

Diodos de Fijación:

$$D_f = (m - 1)(m - 2) = (7 - 1)(7 - 2) = 30 \quad (9.5)$$

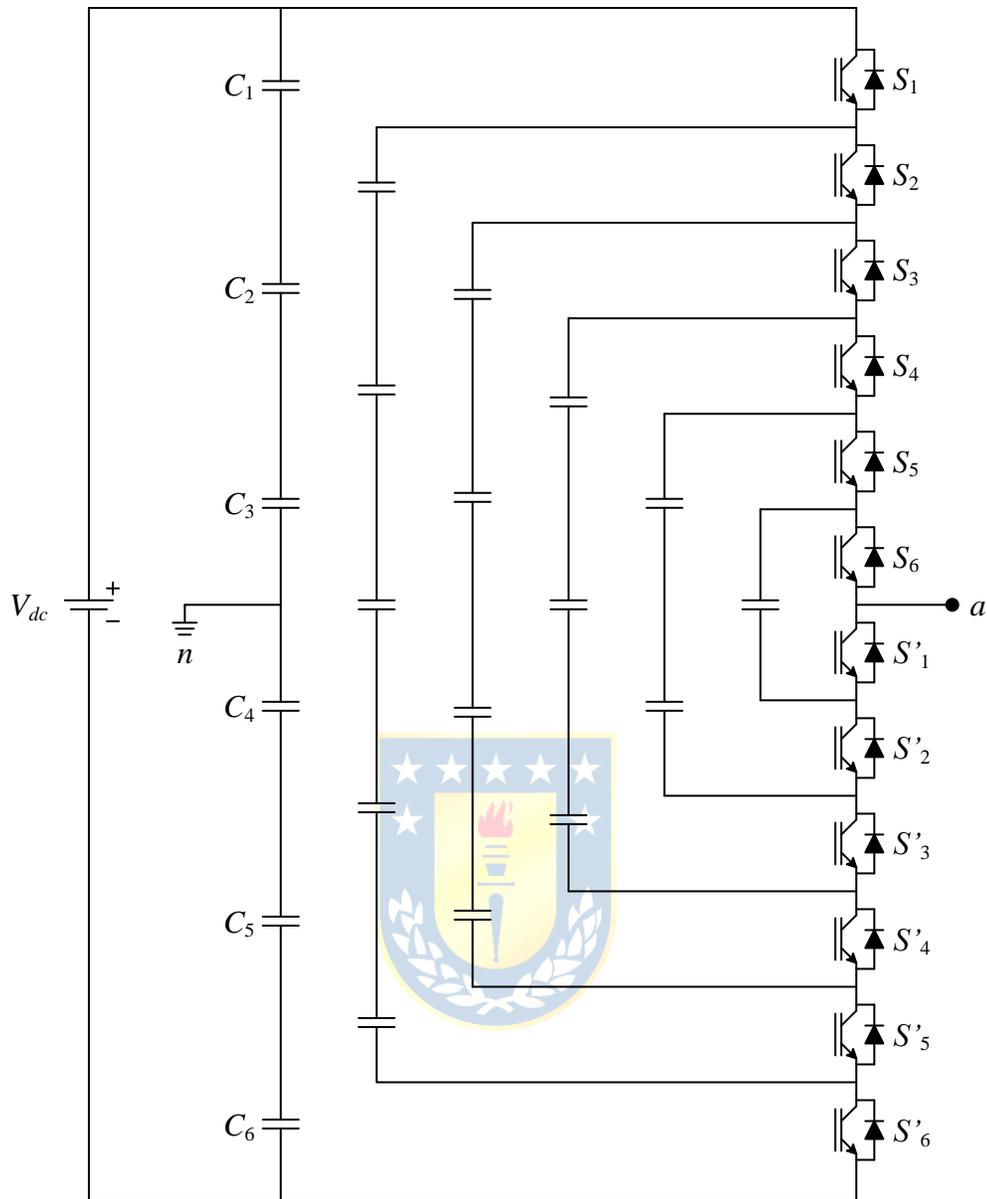


Fig. 9.3 Inversor FC de 7 Niveles

Condensadores de Bus DC:

$$C_{dc} = (m - 1) = (7 - 1) = 6 \quad (9.6)$$

Switches:

$$S_w = (m - 1) \cdot 2 = (7 - 1) \cdot 2 = 12 \quad (9.7)$$

Condensadores de Fijación:

$$C_f = (m - 1)(m - 2)/2 = (7 - 1)(7 - 2)/2 = 15 \quad (9.8)$$

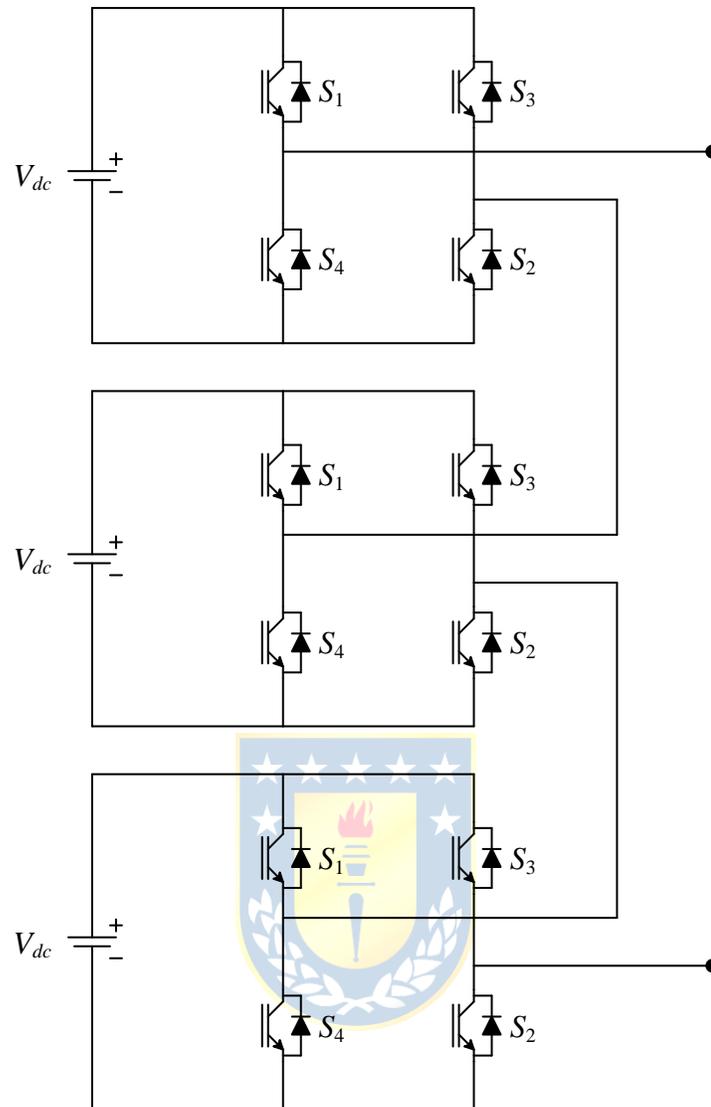


Fig. 9.4 Inversor CHB de 7 Niveles

Fuentes DC:

$$C_{dc} = (m - 1)/2 = (7 - 1)/2 = 3 \quad (9.9)$$

Switches:

$$S_w = (m - 1) \cdot 2 = (7 - 1) \cdot 2 = 12 \quad (9.10)$$

TABLA 9.1 Comparación del Número de Elementos entre Topologías de Inversor de 7 Niveles.

Topología	Fuentes Bus DC	Condensadores Bus DC	Switches	Diodos de Fijación	Condensadores de Fijación
PUC 7 Niveles	1	1	6	0	0
NPC 7 Niveles	1	6	12	30	0
FC 7 Niveles	1	6	12	0	15
CHB 7 Niveles	3	0	12	0	0

9.3. Conclusiones

Después de analizar las estructuras de las topologías de inversores multinivel PUC, NPC, FC y CHB para el caso de 7 niveles, se puede observar una gran ventaja del inversor PUC en cuanto al menor uso de componentes para la construcción del inversor.

Se puede ver claramente que las topologías de inversor multinivel clásicas duplican el número de switches de la topología PUC y que la topología NPC y FC hacen uso de muchos más condensadores de bus DC que el inversor PUC

Además, se puede observar que la topología NPC utiliza un gran número de diodos de fijación y que la topología FC utiliza un gran número de condensadores de fijación, elementos que la topología PUC no requiere para su funcionamiento.

También se puede ver que la topología CHB, por un lado, tampoco requiere de condensadores ni diodos para su funcionamiento, pero presenta la desventaja de utilizar demasiadas fuentes DC con un número de 3 a diferencia de las demás topologías que solo hacen uso de una.

Por lo tanto, es posible afirmar que, en cuanto a confiabilidad la topología PUC está un paso más adelante de las demás topologías debido a su menor uso de componentes.

Capítulo 10. Conclusiones

10.1. Sumario

Primero se realizó un breve análisis general de los distintos tipos de inversores multinivel más conocidos como el NPC, el FC y el CHB dando énfasis a su estructura y el cálculo de los componentes fundamentales que son parte de su construcción.

Luego se llevó a cabo un estudio y análisis de la estructura y del funcionamiento para el inversor Packet U-Cell de 7 niveles, además de un estudio de su modelo a través de las ecuaciones que lo determinan.

También se presentaron y analizaron variadas estrategias de modulación PWM multi portadora MCSPWM, de las cuales se tiene la modulación PWM con desplazamiento de nivel Level Shifted PWM (LS-PWM) y la modulación PWM con desplazamiento de fase Phase Shifted PWM (PS-PWM), se observó que dentro de la modulación LS-PWM se divide varios tipos los que son compatibles con el inversor PUC de 7 niveles.

Posteriormente se implementó el convertidor estudiado, a través de simulaciones. Se desarrolló una simulación en lazo abierto que no incluye ningún condensador que actúe como bus DC, haciendo uso solo fuentes DC para este propósito. En esta simulación también se aprovechó de comparar distintos tipos de moduladoras multi portadora compatibles con el inversor PUC de 7 niveles para ver cuál de estas es la más adecuada en este convertidor.

Más adelante se analizó y desarrollo una estrategia de control que permitiese mantener un voltaje fijo en el condensador que actúa como bus DC y que compone una de las celdas empaquetadas en U que contiene el inversor estudiado, esta estrategia se basó principalmente en un control de cascada para un lazo interno de corriente y un lazo externo de voltaje los cuales hacen uso de controladores PI.

También se realizó la simulación del inversor en lazo cerrado, en donde se puso a prueba el control desarrollado para el condensador que funciona como bus DC verificando también que el inversor PUC funcionase de manera adecuada generando una onda de voltaje de 7 niveles en la salida.

Además, se realizó una implementación del inversor PUC a través de un set-up en laboratorio el cual no incluye control, esta implementación se desarrolló en el LCDA haciendo uso de los diversos componentes que hay disponibles en este laboratorio.

Finalmente se realizó una comparación entre el inversor multinivel PUC de 7 Niveles y los

diversos inversores multinivel clásicos analizados en un principio, dando énfasis en el número de componentes que utiliza cada convertidor.

10.2. Conclusiones

De los resultados obtenidos anteriormente, tanto de las pruebas en simulación para el caso sin control y el caso con control, así como de las pruebas obtenidas de la implementación en laboratorio, se logró comprobar que la topología del inversor Packet U-Cell de 7 niveles en combinación con el método de modulación LS-PWM Alternative Phase Opposition Disposition (APOD), presenta un menor THD al ser implementado.

Además, se pudo comprobar que la topología PUC tiene una estructura mucho más pequeña y confiable respecto de las topologías de inversores multinivel para el caso de 7 niveles incluyendo la NPC, FC y CHB. Esto debido a la menor cantidad de componentes que utiliza en comparación a las otras.

Sin embargo, la corriente en la fuente DC no es constante, por lo que su utilización en paneles solares requiere la incorporación de un filtro DC. Esto disminuirá la eficiencia total y por lo tanto debe evaluarse para cada caso en particular.

Otro de los aspectos relevantes y desventajosos a la hora de la implementación es la necesidad de balancear el voltaje del condensador de la topología. Esto por cuanto se requiere un lazo de control realimentado dedicado a esta función que no está presente en una configuración de menos niveles.

10.3. Trabajo Futuro

- Implementar en laboratorio el Inversor PUC de 7 niveles con el control del condensador incluido.
- Implementar en laboratorio el Inversor PUC de 7 niveles utilizando un panel solar como fuente de voltaje continua junto a un filtro de segundo orden.
- Realizar el desarrollo e implementación del inversor PUC con una estrategia de control predictivo.
- Estudiar y desarrollar la implementación del inversor PUC para el caso trifásico.

Bibliografía

- [1] P. Qashqai, A. Sheikholeslami, H. Vahedi and K. Al-Haddad, "A Review on Multilevel Converter Topologies for Electric Transportation Applications," *2015 IEEE Vehicle Power and Propulsion Conference (VPPC)*, Montreal, QC, 2015, pp. 1-6.
- [2] L. G. Franquelo, J. Rodriguez, J. I. Leon, S. Kouro, R. Portillo and M. A. M. Prats, "The age of multilevel converters arrives," in *IEEE Industrial Electronics Magazine*, vol. 2, no. 2, pp. 28-39, June 2008.
- [3] K. K. Gupta, A. Ranjan, P. Bhatnagar, L. K. Sahu and S. Jain, "Multilevel Inverter Topologies With Reduced Device Count: A Review," in *IEEE Transactions on Power Electronics*, vol. 31, no. 1, pp. 135-151, Jan. 2016.
- [4] Anuja Namboodiri, Harshal S. Wani. "Unipolar and Bipolar PWM Inverter", *International Journal for Innovative Research in Science & Technology*, Volume 1, Issue 7, pp. 237-243, December 2014.
- [5] M.S.Rajan, R.Seyezhai, "Comparative Study -of Multicarrier PWM Techniques for a Modular Multilevel Inverter", *International Journal of Engineering and Technology (IJET)*, Vol 5, No. 6, Dec 2013-Jan 2014, pp. 4850-4865.
- [6] V. G. Agelidis and M. Calais, "Application specific harmonic performance evaluation of multicarrier PWM techniques," *PESC 98 Record. 29th Annual IEEE Power Electronics Specialists Conference (Cat. No.98CH36196)*, Fukuoka, 1998, pp. 172-178 vol.1.
- [7] Y. Ounejjar, K. Al-Haddad and L. A. Gregoire, "Packed U Cells Multilevel Converter Topology: Theoretical Study and Experimental Validation," in *IEEE Transactions on Industrial Electronics*, vol. 58, no. 4, pp. 1294-1306, April 2011.
- [8] H. Vahedi, K. Al-Haddad and H. Y. Kanaan, "A new voltage balancing controller applied on 7-level PUC inverter," *IECON 2014 - 40th Annual Conference of the IEEE Industrial Electronics Society*, Dallas, TX, 2014, pp. 5082-5087.
- [9] H. Vahedi and K. Al-Haddad, "Real-Time Implementation of a Seven-Level Packed U-Cell Inverter with a Low-Switching-Frequency Voltage Regulator," in *IEEE Transactions on Power Electronics*, vol. 31, no. 8, pp. 5967-5973, Aug. 2016.

- [10] J. I. Metri, H. Vahedi, H. Y. Kanaan and K. Al-Haddad, "Real-Time Implementation of Model-Predictive Control on Seven-Level Packed U-Cell Inverter," in *IEEE Transactions on Industrial Electronics*, vol. 63, no. 7, pp. 4180-4186, July 2016.
- [11] M. E. Kathar*, Prof. S.M.Kulkarni, "Comparative Study Of Multilevel Inverter Topologies", *International Journal of Engineering Sciences & Research Technology*, 6(4), 221–224, April 2017.
- [12] Jih-Sheng Lai and Fang Zheng Peng, "Multilevel converters-a new breed of power converters," in *IEEE Transactions on Industry Applications*, vol. 32, no. 3, pp. 509-517, May/Jun 1996.
- [13] T. Prathiba, P. Renuga, "Multi Carrier PWM based Multi Level Inverter For High Power Applications", *International Journal of Computer Applications*, vol.1, n. 9, 2010, pp 67-71.
- [14] A. Radan, A. H. Shahirinia and M. Falahi, "Evaluation of Carrier-Based PWM Methods for Multi-level Inverters," *2007 IEEE International Symposium on Industrial Electronics*, Vigo, 2007, pp. 389-394.
- [15] H. Vahedi, H. Y. Kanaan and K. Al-Haddad, "PUC converter review: Topology, control and applications," *IECON 2015 - 41st Annual Conference of the IEEE Industrial Electronics Society*, Yokohama, 2015, pp. 004334-004339.
- [16] H. Vahedi and K. Al-Haddad, "PUC5 inverter - a promising topology for single-phase and three-phase applications," *IECON 2016 - 42nd Annual Conference of the IEEE Industrial Electronics Society*, Florence, 2016, pp. 6522-6527.
- [17] H. Vahedi, P. A. Labbé and K. Al-Haddad, "Sensor-Less Five-Level Packed U-Cell (PUC5) Inverter Operating in Stand-Alone and Grid-Connected Modes," in *IEEE Transactions on Industrial Informatics*, vol. 12, no. 1, pp. 361-370, Feb. 2016.
- [18] H. Vahedi, M. Sharifzadeh and K. Al-Haddad, "Topology and control analysis of single-DC-source five-level packed U-cell inverter (PUC5)," *IECON 2017 - 43rd Annual Conference of the IEEE Industrial Electronics Society*, Beijing, 2017, pp. 8691-8696.
- [19] M. Rashid, *ELECTRONICA DE POTENCIA, Circuitos, dispositivos y aplicaciones*. México, 3ª Edición, Prentice Hall, 2004.
- [20] *SimCoder User's Guide*, POWERSIM, 2275 Research Blvd, Suite 500 Rockville, MD 20850 United States, October 2017.

- [21] D. Bonkougou, Z. Koalaga, D. Njomo, "Modelling and simulation of photovoltaic module considering single diode equivalent circuit model in MATLAB", *International Journal of Emerging Technology and Advanced Engineering (IJETAE)*, vol. 3, no. 3, March 2013.



Anexo A. Curva Característica Panel Solar

Las celdas fotovoltaicas [21] que componen un panel solar, presentan una curva de I-V que representan los pares de valores de corriente y voltaje a los que puede operar la celda. Esta curva se puede definir a través de la siguiente ecuación que proviene del modelo de celda solar de la Fig. A.1:

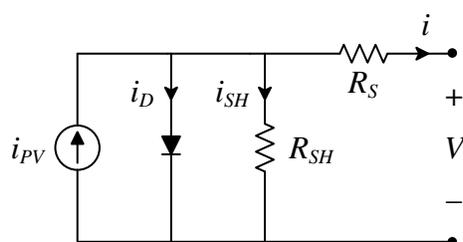


Fig. A.1 Modelo Celda Solar

$$i = i_{PV} - i_{Sat} \left[\exp\left(\frac{V + iR_S}{AV_T}\right) - 1 \right] - \left(\frac{V + iR_S}{R_{SH}}\right) \quad (\text{A.1})$$

Luego, la curva característica I-V de la celda solar tiene un comportamiento como el que se puede observar en la Fig. A.2.

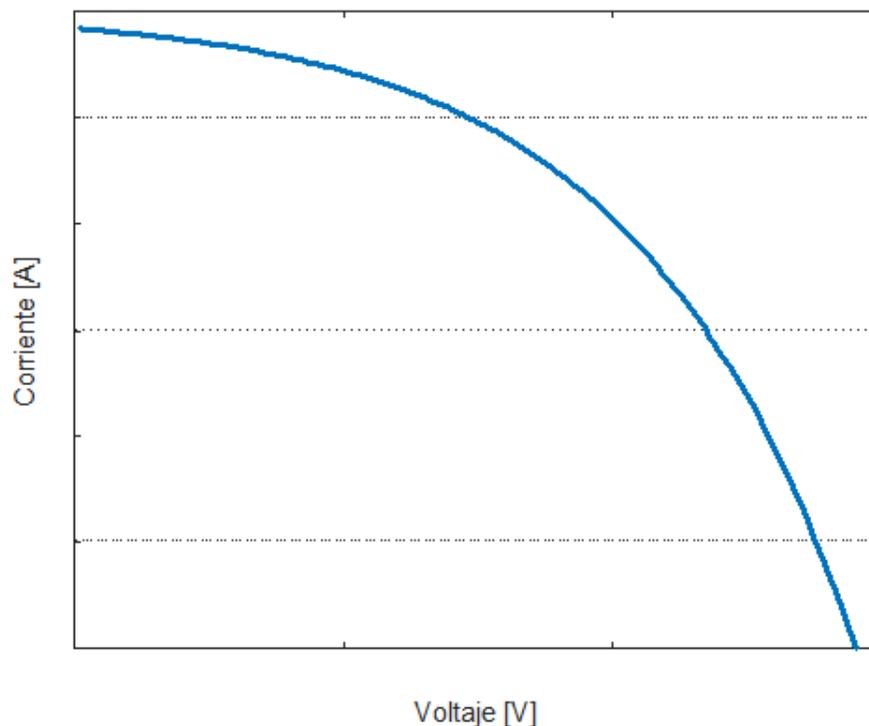


Fig. A.2 Curva Característica I-V de una Celda Solar

Anexo B. Código C

B.1. Programación Secuencias de Switcheo

```
int sa,sb,sc,sac,sbc,scc;
```

```
if (x1 == 5)
{
sa=1;
sb=0;
sc=0;
sac=0;
sbc=1;
scc=1;
}
```

```
if (x1 == 4)
{
sa=1;
sb=0;
sc=1;
sac=0;
sbc=1;
scc=0;
}
```

```
if (x1 == 3)
{
sa=1;
sb=1;
sc=0;
sac=0;
sbc=0;
scc=1;
}
```

```
if (x1 == 2)
{
sa=1;
sb=1;
sc=1;
sac=0;
sbc=0;
scc=0;
}
```



```
if (x1 == -2)
{
sa=0;
sb=0;
sc=0;
sac=1;
sbc=1;
scc=1;
}
if (x1 == -3)
{
sa=0;
sb=0;
sc=1;
sac=1;
sbc=1;
scc=0;
}
```

```
if (x1 == -4)
{
sa=0;
sb=1;
sc=0;
sac=1;
sbc=0;
scc=1;
}
```

```
if (x1 == -5)
{
sa=0;
sb=1;
sc=1;
sac=1;
sbc=0;
scc=0;
}
```

```
y1=sa;
y2=sb;
y3=sc;
y4=sac;
y5=sbc;
y6=scc;
```



B.2. Programación DSP TI F28335

```

/*****
*
// This code is created by SimCoder Version 9.1 for TI F28335 Hardware Target
//
// SimCoder is copyright by Powersim Inc., 2009-2011
//
// Date: March 18, 2018 05:26:07
*****/
**/
#include      <math.h>
#include      "PS_bios.h"
typedef float DefaultType;
#define GetCurTime() PS_GetSysTimer()

void Task();

DefaultType  fGbl3 = 0.0;
DefaultType  fGbl2 = 0.0;
DefaultType  fGbl1 = 0.0;
DefaultType  fGblVcarr6 = 0.0;
DefaultType  fGblVcarr5 = 0.0;
DefaultType  fGblVcarr4 = 0.0;
DefaultType  fGblVcarr3 = 0.0;
DefaultType  fGblVcarr2 = 0.0;
DefaultType  fGblVcarr1 = 0.0;
DefaultType  fGblVref = 0.0;
typedef struct {
    unsigned long tmLow;
    unsigned long tmHigh;
} _CBigTime;

_CBigTime GetBigTime(void)
{
    static _CBigTime tm = {0,0};
    unsigned long curTime = GetCurTime();
    if (curTime < tm.tmLow)
        tm.tmHigh++;
    tm.tmLow = curTime;
    return tm;
}

void Task()
{

```



```

    DefaultType fVSAW1, fSIN1, fC1, fMULT1, fC5, fCOMP13, fVSAW2, fC29, fSUMP24,
    fSIN2, fSINI1;
    DefaultType fC3, fMULT3, fC4, fSUMP3, fCOMP14, fVDC5, fSUMP20, fMULT19,
    fVSAW3, fC27;
    DefaultType fSUMP25, fSIN4, fSINI3, fC10, fMULT7, fC11, fSUMP7, fCOMP8, fVDC13,
    fSUMP4;
    DefaultType fMULT16, fVSAW4, fC28, fSUMP26, fSIN5, fSINI4, fC13, fMULT9, fC14,
    fSUMP9;
    DefaultType fCOMP9, fMULT4, fSUM32, fC30, fCOMP15, fVSAW5, fC24, fSUMP16,
    fSIN6, fSINI5;
    DefaultType fC16, fMULT11, fC17, fSUMP11, fCOMP10, fVDC14, fSUMP21, fMULT5,
    fVSAW6, fC25;
    DefaultType fSUMP17, fSIN7, fSINI6, fC19, fMULT13, fC20, fSUMP13, fCOMP11,
    fVDC15, fSUMP22;
    DefaultType fMULT17, fVSAW7, fC26, fSUMP18, fSIN8, fSINI7, fC22, fMULT15, fC23,
    fSUMP15;
    DefaultType fCOMP12, fVDC16, fSUMP23, fMULT18, fSUM33, fSUMP19,
    fProgramacion, fProgramacion_1;
    DefaultType fProgramacion_2, fProgramacion_3, fProgramacion_4, fProgramacion_5;

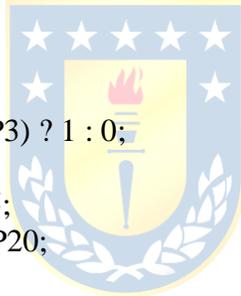
{
    static unsigned long period = (unsigned long)(150000000L / 50);
    static float fPeriod = ((float)50) / 150000000L;
    static _CBigTime tmCarrierStart = {0, 0};
    _CBigTime tm = GetBigTime();
    unsigned long tmp1, tmp2;
    tmp1 = tm.tmLow - tmCarrierStart.tmLow;
    tmp2 = tm.tmHigh - tmCarrierStart.tmHigh;
    if (tm.tmLow > tmCarrierStart.tmLow)
        tmp2++;
    if (tmp2 || (!tmp2 && (tmp1 >= period))) {
        tmp1 = tmCarrierStart.tmLow + period;
        if ((tmp1 < tmCarrierStart.tmLow) || (tmp1 < period))
            tmCarrierStart.tmHigh++;
        tmCarrierStart.tmLow = tmp1;
    }
    tmp1 = tm.tmLow - tmCarrierStart.tmLow;
    fVSAW1 = 360 * tmp1 * fPeriod;
}
fSIN1 = sin(fVSAW1 * (3.14159265 / 180.));
fC1 = 0.98;
fMULT1 = fSIN1 * fC1;
fC5 = 0;
fCOMP13 = (fMULT1 > fC5) ? 1 : 0;
{
    static unsigned long period = (unsigned long)(150000000L / 2000);
    static float fPeriod = ((float)2000) / 150000000L;
    static _CBigTime tmCarrierStart = {0, 0};

```

```

_CBigTime tm = GetBigTime();
unsigned long tmp1, tmp2;
tmp1 = tm.tmLow - tmCarrierStart.tmLow;
tmp2 = tm.tmHigh - tmCarrierStart.tmHigh;
if (tm.tmLow > tmCarrierStart.tmLow)
    tmp2++;
if (tmp2 || (!tmp2 && (tmp1 >= period))) {
    tmp1 = tmCarrierStart.tmLow + period;
    if ((tmp1 < tmCarrierStart.tmLow) || (tmp1 < period))
        tmCarrierStart.tmHigh++;
    tmCarrierStart.tmLow = tmp1;
}
tmp1 = tm.tmLow - tmCarrierStart.tmLow;
fVSAW2 = 360 * tmp1 * fPeriod;
}
fC29 = 0-90;
fSUMP24 = fVSAW2 + fC29;
fSIN2 = sin(fSUMP24 * (3.14159265 / 180.));
fSINI1 = asin(fSIN2) * (180. / 3.14159265);
fC3 = 2.0/180*(1.0/6);
fMULT3 = fSINI1 * fC3;
fC4 = 5.0/6;
fSUMP3 = fMULT3 + fC4;
fCOMP14 = (fMULT1 > fSUMP3) ? 1 : 0;
fVDC5 = 1;
fSUMP20 = fCOMP14 + fVDC5;
fMULT19 = fCOMP13 * fSUMP20;
{
    static unsigned long period = (unsigned long)(1500000000L / 2000);
    static float fPeriod = ((float)2000) / 1500000000L;
    static _CBigTime tmCarrierStart = {0, 0};
    _CBigTime tm = GetBigTime();
    unsigned long tmp1, tmp2;
    tmp1 = tm.tmLow - tmCarrierStart.tmLow;
    tmp2 = tm.tmHigh - tmCarrierStart.tmHigh;
    if (tm.tmLow > tmCarrierStart.tmLow)
        tmp2++;
    if (tmp2 || (!tmp2 && (tmp1 >= period))) {
        tmp1 = tmCarrierStart.tmLow + period;
        if ((tmp1 < tmCarrierStart.tmLow) || (tmp1 < period))
            tmCarrierStart.tmHigh++;
        tmCarrierStart.tmLow = tmp1;
    }
    tmp1 = tm.tmLow - tmCarrierStart.tmLow;
    fVSAW3 = 360 * tmp1 * fPeriod;
}
fC27 = 0-90;
fSUMP25 = fVSAW3 + fC27;

```



```

fSIN4 = sin(fSUMP25 * (3.14159265 / 180.));
fSINI3 = asin(fSIN4) * (180. / 3.14159265);
fC10 = 2.0/180*(1.0/6);
fMULT7 = fSINI3 * fC10;
fC11 = 3.0/6;
fSUMP7 = fMULT7 + fC11;
fCOMP8 = (fMULT1 > fSUMP7) ? 1 : 0;
fVDC13 = 1;
fSUMP4 = fCOMP8 + fVDC13;
fMULT16 = fCOMP13 * fSUMP4;
{
    static unsigned long period = (unsigned long)(150000000L / 2000);
    static float fPeriod = ((float)2000) / 150000000L;
    static _CBigTime tmCarrierStart = {0, 0};
    _CBigTime tm = GetBigTime();
    unsigned long tmp1, tmp2;
    tmp1 = tm.tmLow - tmCarrierStart.tmLow;
    tmp2 = tm.tmHigh - tmCarrierStart.tmHigh;
    if (tm.tmLow > tmCarrierStart.tmLow)
        tmp2++;
    if (tmp2 || (!tmp2 && (tmp1 >= period))) {
        tmp1 = tmCarrierStart.tmLow + period;
        if ((tmp1 < tmCarrierStart.tmLow) || (tmp1 < period))
            tmCarrierStart.tmHigh++;
        tmCarrierStart.tmLow = tmp1;
    }
    tmp1 = tm.tmLow - tmCarrierStart.tmLow;
    fVSAW4 = 360 * tmp1 * fPeriod;
}
fC28 = 0-90;
fSUMP26 = fVSAW4 + fC28;
fSIN5 = sin(fSUMP26 * (3.14159265 / 180.));
fSINI4 = asin(fSIN5) * (180. / 3.14159265);
fC13 = 2.0/180*(1.0/6);
fMULT9 = fSINI4 * fC13;
fC14 = 1.0/6;
fSUMP9 = fMULT9 + fC14;
fCOMP9 = (fMULT1 > fSUMP9) ? 1 : 0;
fMULT4 = fCOMP13 * fCOMP9;
fSUM32 = fMULT19 * 1 + fMULT16 * 1 + fMULT4 * 1;
fC30 = 0;
fCOMP15 = (fC30 > fMULT1) ? 1 : 0;
{
    static unsigned long period = (unsigned long)(150000000L / 2000);
    static float fPeriod = ((float)2000) / 150000000L;
    static _CBigTime tmCarrierStart = {0, 0};
    _CBigTime tm = GetBigTime();
    unsigned long tmp1, tmp2;

```

```

tmp1 = tm.tmLow - tmCarrierStart.tmLow;
tmp2 = tm.tmHigh - tmCarrierStart.tmHigh;
if (tm.tmLow > tmCarrierStart.tmLow)
    tmp2++;
if (tmp2 || (!tmp2 && (tmp1 >= period))) {
    tmp1 = tmCarrierStart.tmLow + period;
    if ((tmp1 < tmCarrierStart.tmLow) || (tmp1 < period))
        tmCarrierStart.tmHigh++;
    tmCarrierStart.tmLow = tmp1;
}
tmp1 = tm.tmLow - tmCarrierStart.tmLow;
fVSAW5 = 360 * tmp1 * fPeriod;
}
fC24 = 0-90;
fSUMP16 = fVSAW5 + fC24;
fSIN6 = sin(fSUMP16 * (3.14159265 / 180.));
fSINI5 = asin(fSIN6) * (180. / 3.14159265);
fC16 = 2.0/180*(1.0/6);
fMULT11 = fSINI5 * fC16;
fC17 = -1.0/6;
fSUMP11 = fMULT11 + fC17;
fCOMP10 = (fMULT1 > fSUMP11) ? 1 : 0;
fVDC14 = (-1);
fSUMP21 = fCOMP10 + fVDC14;
fMULT5 = fCOMP15 * fSUMP21;
{
    static unsigned long period = (unsigned long)(150000000L / 2000);
    static float fPeriod = ((float)2000) / 150000000L;
    static _CBigTime tmCarrierStart = {0, 0};
    _CBigTime tm = GetBigTime();
    unsigned long tmp1, tmp2;
    tmp1 = tm.tmLow - tmCarrierStart.tmLow;
    tmp2 = tm.tmHigh - tmCarrierStart.tmHigh;
    if (tm.tmLow > tmCarrierStart.tmLow)
        tmp2++;
    if (tmp2 || (!tmp2 && (tmp1 >= period))) {
        tmp1 = tmCarrierStart.tmLow + period;
        if ((tmp1 < tmCarrierStart.tmLow) || (tmp1 < period))
            tmCarrierStart.tmHigh++;
        tmCarrierStart.tmLow = tmp1;
    }
    tmp1 = tm.tmLow - tmCarrierStart.tmLow;
    fVSAW6 = 360 * tmp1 * fPeriod;
}
fC25 = 0-90;
fSUMP17 = fVSAW6 + fC25;
fSIN7 = sin(fSUMP17 * (3.14159265 / 180.));
fSINI6 = asin(fSIN7) * (180. / 3.14159265);

```

```

fC19 = 2.0/180*(1.0/6);
fMULT13 = fSINI6 * fC19;
fC20 = -3.0/6;
fSUMP13 = fMULT13 + fC20;
fCOMP11 = (fMULT1 > fSUMP13) ? 1 : 0;
fVDC15 = (-2);
fSUMP22 = fCOMP11 + fVDC15;
fMULT17 = fCOMP15 * fSUMP22;
{
    static unsigned long period = (unsigned long)(150000000L / 2000);
    static float fPeriod = ((float)2000) / 150000000L;
    static _CBigTime tmCarrierStart = {0, 0};
    _CBigTime tm = GetBigTime();
    unsigned long tmp1, tmp2;
    tmp1 = tm.tmLow - tmCarrierStart.tmLow;
    tmp2 = tm.tmHigh - tmCarrierStart.tmHigh;
    if (tm.tmLow > tmCarrierStart.tmLow)
        tmp2++;
    if (tmp2 || (!tmp2 && (tmp1 >= period))) {
        tmp1 = tmCarrierStart.tmLow + period;
        if ((tmp1 < tmCarrierStart.tmLow) || (tmp1 < period))
            tmCarrierStart.tmHigh++;
        tmCarrierStart.tmLow = tmp1;
    }
    tmp1 = tm.tmLow - tmCarrierStart.tmLow;
    fVSAW7 = 360 * tmp1 * fPeriod;
}
fC26 = 0-90;
fSUMP18 = fVSAW7 + fC26;
fSIN8 = sin(fSUMP18 * (3.14159265 / 180.));
fSINI7 = asin(fSIN8) * (180. / 3.14159265);
fC22 = 2.0/180*(1.0/6);
fMULT15 = fSINI7 * fC22;
fC23 = -5.0/6;
fSUMP15 = fMULT15 + fC23;
fCOMP12 = (fMULT1 > fSUMP15) ? 1 : 0;
fVDC16 = (-2);
fSUMP23 = fCOMP12 + fVDC16;
fMULT18 = fCOMP15 * fSUMP23;
fSUM33 = fMULT5 * 1 + fMULT17 * 1 + fMULT18 * 1;
fSUMP19 = fSUM32 + fSUM33;
{
    int sa,sb,sc,sac,sbc,scc;

    if (fSUMP19 == 5)

```

```
{  
sa=1;  
sb=0;  
sc=0;  
sac=0;  
sbc=1;  
scc=1;  
}
```

```
if (fSUMP19 == 4)
```

```
{  
sa=1;  
sb=0;  
sc=1;  
sac=0;  
sbc=1;  
scc=0;  
}
```



```
if (fSUMP19 == 3)
```

```
{  
sa=1;  
sb=1;  
sc=0;
```

```
sac=0;  
sbc=0;  
scc=1;  
}
```

```
if (fSUMP19 == 2)  
{  
sa=1;  
sb=1;  
sc=1;  
sac=0;  
sbc=0;  
scc=0;  
}
```



```
if (fSUMP19 == -2)  
{  
sa=0;  
sb=0;  
sc=0;  
sac=1;  
sbc=1;  
scc=1;  
}
```

```
if (fSUMP19 == -3)
{
sa=0;
sb=0;
sc=1;
sac=1;
sbc=1;
scc=0;
}
```



```
if (fSUMP19 == -4)
{
sa=0;
sb=1;
sc=0;
sac=1;
sbc=0;
scc=1;
}
```

```
if (fSUMP19 == -5)
{
sa=0;
```

```

sb=1;

sc=1;

sac=1;

sbc=0;

scc=0;

}

```

```

fProgramacion=sa;

fProgramacion_1=sb;

fProgramacion_2=sc;

fProgramacion_3=sac;

fProgramacion_4=sbc;

fProgramacion_5=scc;

}

```

```

#ifdef _DEBUG
fGb13 = fSUMP19;
#endif
#ifdef _DEBUG
fGb12 = fSUM33;
#endif
#ifdef _DEBUG
fGb11 = fSUM32;
#endif
#ifdef _DEBUG
fGbIVcarr6 = fSUMP15;
#endif
#ifdef _DEBUG
fGbIVcarr5 = fSUMP13;
#endif
#ifdef _DEBUG
fGbIVcarr4 = fSUMP11;
#endif
#ifdef _DEBUG
fGbIVcarr3 = fSUMP9;
#endif
#ifdef _DEBUG

```



```

        fGblVcarr2 = fSUMP7;
    #endif
    #ifdef _DEBUG
        fGblVcarr1 = fSUMP3;
    #endif
    #ifdef _DEBUG
        fGblVref = fMULT1;
    #endif
        (fProgramacion == 0) ? PS_ClearDigitOutBitA((Uint32)1 << 1) :
PS_SetDigitOutBitA((Uint32)1 << 1);
        (fProgramacion_1 == 0) ? PS_ClearDigitOutBitA((Uint32)1 << 3) :
PS_SetDigitOutBitA((Uint32)1 << 3);
        (fProgramacion_2 == 0) ? PS_ClearDigitOutBitA((Uint32)1 << 5) :
PS_SetDigitOutBitA((Uint32)1 << 5);
        (fProgramacion_3 == 0) ? PS_ClearDigitOutBitA((Uint32)1 << 7) :
PS_SetDigitOutBitA((Uint32)1 << 7);
        (fProgramacion_4 == 0) ? PS_ClearDigitOutBitA((Uint32)1 << 9) :
PS_SetDigitOutBitA((Uint32)1 << 9);
        (fProgramacion_5 == 0) ? PS_ClearDigitOutBitA((Uint32)1 << 11) :
PS_SetDigitOutBitA((Uint32)1 << 11);
    }

```



```

void Initialize(void)
{
    PS_SysInit(30, 10);
    PS_InitTimer(0, 0xffffffff);
    PS_InitDigitOut(1);
    PS_InitDigitOut(3);
    PS_InitDigitOut(5);
    PS_InitDigitOut(7);
    PS_InitDigitOut(9);
    PS_InitDigitOut(11);
}

```

```

void main()
{
    Initialize();
    PS_EnableIntr(); // Enable Global interrupt INTM
    PS_EnableDbgm();
    for (;;) {
        Task();
    }
}

```